

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 195 00 380 A 1

51 Int. Cl.⁸:
G 02 F 1/136

21 Aktenzeichen: 195 00 380.2
22 Anmeldetag: 9. 1. 95
43 Offenlegungstag: 23. 11. 95

DE 195 00 380 A 1

30 Unionspriorität: 32 33 31

20.05.94 JP P 106794/94

71 Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

74 Vertreter:

Tiedtke, Bühling, Kinne & Partner, 80336 München

72 Erfinder:

Kobayashi, Kazuhiro, Amagasaki, Hyogo, JP;
Masutani, Yuichi, Amagasaki, Hyogo, JP; Murai,
Hiroyuki, Amagasaki, Hyogo, JP

54 Aktivmatrix-Flüssigkristallanzeige und Herstellungsverfahren dafür

57 Aktivmatrix-Flüssigkristallanzeige, die als eine Einheit mit einer Treiberschaltung ausgebildet ist, die ein Paar von in gegenüberliegender Beziehung zueinander angeordneten Substraten und ein Flüssigkristallmaterial enthält, das zwischen dem Paar Substrate schichtenweise angeordnet ist, wobei das Paar Substrate ein Dünnfilmtransistor-Substrat, das zumindest ein isolierendes Substrat, eine Source-Verbindungsleitung und eine Gate-Verbindungsleitung, die in einem Matrix-Muster auf dem isolierenden Substrat ausgebildet sind, einen Dünnfilmtransistor, der an jedem Bildelement-Abschnitt zur Verwendung als Schaltelement zum Anlegen einer Spannung an einen Abschnitt des Flüssigkristallmaterials vorgesehen ist, das an einer Stelle liegt, an der sich die Source-Verbindungsleitung und die Gate-Verbindungsleitung schneiden, eine an eine Drain-Elektrode des Dünnfilmtransistors angeschlossene Bildelement-Elektrode zum Zuführen einer Spannung zu dem Flüssigkristallmaterial und eine CMOS-Treiberschaltung mit einem CMOS-Teil enthält, der Dünnfilmtransistoren zum Zuführen eines elektrischen Signals zu dem Dünnfilmtransistor des Bildelement-Abschnitts über die Source-Verbindungsleitung und die Gate-Verbindungsleitung aufweist, sowie ein Gegen-Substrat enthält, das ein isolierendes Substrat und eine darauf ausgebildete Gegen-Elektrode enthält, wobei der an dem Bildelement-Abschnitt vorgesehene Dünnfilmtransistor eine erste Leitfähigkeit und einen Offset- bzw. Versatz- oder ...

DE 195 00 380 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 09. 95 508 047/502

32/27

Die Erfindung betrifft eine Aktivmatrix-Flüssigkristallanzeige der Art, die als eine Einheit mit einer Steuerschaltung ausgebildet ist, die Dünnfilmtransistoren als Bildelement-Schaltelemente und CMOS-Treiber- bzw. Steuerschaltungs-Transistoren verwendet, und ein Herstellungsverfahren dafür.

Fig. 11(a) bis 11(g) sind Schnittansichten zum Erläutern eines Verfahrens zum Herstellen einer CMOS-Treiber- bzw. Steuerschaltung und eines Dünnfilmtransistors mit Offset- bzw. Versatz-Aufbau als Bildelement-Schaltelement. Dieses Verfahren macht von einem herkömmlichen CMOS-Treiberschaltungs-Herstellungsverfahren, das beispielsweise in der ungeprüften japanischen Offenlegungsschrift Nr. 286368/1992 offenbart ist, und von einem Offset- bzw. Versatz-Dünnfilmtransistor-Herstellungsverfahren Gebrauch, das in der ungeprüften japanischen Offenlegungsschrift Nr. 275450/1993 offenbart ist. In Fig. 11(a) bis 11(g) bezeichnet Bezugszeichen 1 ein isolierendes Substrat, Bezugszeichen 2 einen Polysiliziumfilm zur Verwendung als Kanal-Halbleiterfilm, Bezugszeichen 3 einen Gateisolationfilm, Bezugszeichen 4 (nachstehend mit P bezeichnetes) Phosphor enthaltendes n^+ -Polysilizium mit einer hohen Konzentration, das als Gateelektrode dienen soll, Bezugszeichen 5a, 5b, 5c, 5d, 5e, 5f und 5g Photoresists, Bezugszeichen 16 und 26 n^+ -Polysiliziumschichten, in die mit hoher Konzentration P-Ionen implantiert sind und die als Source-/Drain-Bereiche dienen, sowie Bezugszeichen 27 und 37 p^+ -Polysiliziumschichten, in die mit hoher Konzentration (nachstehend mit B bezeichnete) Bor-Ionen implantiert sind. Ein abgebildeter n-Kanal-Dünnfilmtransistor 10 als Bildelement-Schaltelement weist einen Offset- bzw. Versatz-Aufbau auf, wohingegen eine CMOS-Treiberschaltung bildende n- und p-Kanal-Dünnfilmtransistoren keinen Offset- bzw. Versatz-Aufbau, sondern einen typischen planaren Aufbau aufweisen.

Die Dünnfilmtransistoren der vorstehend beschriebenen Anordnung werden durch das folgende Verfahren hergestellt. Der als Kanal zu verwendende Halbleiter-Siliziumfilm 2 wird auf dem isolierenden Substrat 1 ausgebildet, gefolgt von dem Bilden des Photoresists 5a (gemäß Fig. 11(a)) und dem Strukturieren des Polysiliziumfilms 2 zum Festlegen von Inseln für die Dünnfilmtransistoren. Dann wird der Gateisolationfilm 3 durch ein thermisches Oxidationsverfahren oder ein ähnliches Verfahren (gemäß Fig. 11(b)) gebildet.

Daraufhin wird der n^+ -Polysiliziumfilm 4 (gemäß Fig. 11(c)) gebildet.

Gemäß Fig. 11(d) wird daraufhin ein Gateelektroden-Muster aus Photoresist 5b nur auf der Insel gebildet, die als Dünnfilmtransistor 10 zur Verwendung bei einem Schaltelement des Bildelement-Abschnitts dient (der nachstehend als Bildelement-Schalt-Dünnfilmtransistor bezeichnet wird). Zu diesem Zeitpunkt sind die als CMOS-Treiber-Dünnfilmtransistoren dienenden Inseln vollständig mit dem Photoresist 5c überzogen und nicht strukturiert. Zum Erzeugen der Versatz- bzw. Offset-Anordnung wird gemäß Fig. 11(d) eine Gateelektrode mit Überhang oder Vorsprung durch Unterätzen des n^+ -Polysiliziums gebildet, was von einem Trockenätzen des n^+ -Polysiliziumfilms in der Richtung dessen Dicke unter Verwendung von SF_6 -Gas oder dergleichen gefolgt ist. Anschließend wird P auf die sich ergebende Substratoberfläche zum Erzeugen des erheblich mit P dotierten n^+ -Polysiliziums 16 ionenimplantiert. In die-

sem Fall ist der Abschnitt unter dem Überhang bzw. Vorsprung des Photoresists nicht ionenimplantiert, wodurch die Versatz- bzw. Offset-Anordnung verwirklicht ist.

Nachdem die Photoresists 5b und 5c abgelöst bzw. entfernt worden sind, wird das Photoresist 5d für die Erzeugung von Gateelektroden der CMOS-Treiberschaltung gebildet und dann gemäß Fig. 11(e) der n^+ -Polysiliziumfilm zum Erzeugen der Gateelektroden 24 und 34 gebildet. Zu diesem Zeitpunkt ist der Bildelement-Schalt-Dünnfilmtransistor 10 mit Offset- bzw. Versatz-Aufbau mit dem Photoresist 5e überzogen. Nach der Bildung der Gateelektroden wird eine B-Ionenimplantation zum Erzeugen von Source-/Drain-Bereichen 27 und 37 aus p^+ -Polysilizium durchgeführt, das erheblich mit B dotiert ist. Auf diese Weise wird der p-Typ-Dünnfilmtransistor 30 verwirklicht.

Daraufhin wird gemäß Fig. 11(f), nachdem der Bildelement-Schalt-Dünnfilmtransistor 10 mit Offset-Aufbau und der p-Typ-Dünnfilmtransistor 30 der CMOS-Treiberschaltung mit Photoresists 5f bzw. 5g überzogen sind, eine P-Ionenimplantation mit einer hohen Konzentration durchgeführt, damit Source-/Drain-Bereiche 26 aus n^+ -Polysilizium gebildet werden. Auf diese Weise wird der n-Typ-Dünnfilmtransistor 20 der CMOS-Treiberschaltung hergestellt.

Die Photoresists 5f und 5g werden dann abgelöst bzw. entfernt, damit der grundlegende Aufbau mit dem Polysilizium-Dünnfilmtransistor mit Offset-Aufbau, der als Bildelement-Schaltelement verwendet wird, und die CMOS-Treiberschaltung verwirklicht werden, was von der Bildung von Source- und Drain-Elektroden gefolgt ist.

Nachstehend wird auf die Arbeitsweise der derart erzeugten Anordnung Bezug genommen. Wie vorstehend beschrieben wird der Polysilizium-Dünnfilmtransistor mit Offset-Aufbau als Bildelement-Schaltelement eingesetzt. Eine Abnahme des Stromes, der im ausgeschalteten Zustand fließt, bzw. des Ruhestromes ist für das Bildelement-Schaltelement von Bedeutung. Typischerweise ist es erwünscht, den Ruhestrom auf ungefähr 10^{-11} A oder darunter zu verringern. Kristallfehler, die an der Korngrenze vorliegen, beeinflussen jedoch den Polysilizium-Dünnfilmtransistor in dem ausgeschalteten Zustand derart, daß sie den Feldemissionsstrom in dessen Drain-Richtung fließen lassen, wodurch der Ruhestrom erhöht wird. Dementsprechend ist es schwierig, den Ruhestrom auf den vorstehend erwähnten Wert zu verringern. Aus diesem Grund sind gemäß Fig. 11(d) bis 11(g) Offset-Bereiche an entgegengesetzten Seiten der Gateelektrode vorgesehen, damit das elektrische Feld des Drain-Bereichs verringert wird, wodurch der Ruhestrom abgesenkt wird.

Andererseits ermöglicht der CMOS-Treiberschaltungs-Bereich einen Ruhestrom von bis zu ungefähr 10^{-9} A. Nichtsdestotrotz ist zum Verwirklichen einer Arbeitsweise mit hoher Geschwindigkeit eine hohe Feldeffekt-Mobilität bzw. Beweglichkeit (d. h. ein hoher Strom, der im eingeschalteten Zustand fließt) erforderlich. Da ein Offset-Bereich eines Dünnfilmtransistors als Reihenwiderstand dient, wenn der Dünnfilmtransistor in einem eingeschalteten Zustand ist, ist die Feldeffekt-Beweglichkeit dadurch verringert. Deswegen verwendet die CMOS-Schaltung Polysilizium-Dünnfilmtransistoren der herkömmlichen planaren Art und nicht mit Offset-Aufbau.

Bei der Herstellung des grundlegenden Dünnfilmtransistor-Aufbaus gemäß Fig. 11(d) bis 11(g) mit dem

Bildelement-Schalt-Dünnschichttransistor mit Offset-Aufbau und der CMOS-Treiberschaltung gemäß dem herkömmlichen Verfahren muß das Photolithographie-Verfahren zumindest drei Mal und das Trockenätzverfahren zumindest drei Mal durchgeführt werden. Dies führt zu einem langwierigen Herstellungsverfahren. Da außerdem die CMOS-Treiberschaltung die herkömmlichen planaren Dünnschichttransistoren aufweist, verursacht eine höhere Versorgungsspannung ein stärkeres elektrisches Feld, das an den Drain-Bereich des Dünnschichttransistors angelegt wird, woraus ein Problem folgt, daß sich ein wesentlich erhöhter Drainstrom ergibt. Aus diesem Grund muß die an die CMOS-Transistoren anzulegende Versorgungsspannung zumindest 20 V betragen. Dies schränkt auch die Gate-Spannung und die Source-Spannung des Bildelement-Schalt-Dünnschichttransistors bei der Steuerung des Flüssigkristalls ein.

Die vorliegende Erfindung wurde zum Überwinden der vorstehend beschriebenen Probleme gemacht. Daher liegt der Erfindung die Aufgabe zugrunde, eine Aktivmatrix-Flüssigkristallanzeige zu schaffen, die als eine Einheit mit einer Treiberschaltung ausgebildet ist, die auf einem von einem Paar von Substraten in einem verkürzten Verfahren hergestellte Dünnschichttransistoren und eine für eine hohe Versorgungsspannung geeignete CMOS-Treiberschaltung enthält.

Der Erfindung liegt außerdem die Aufgabe zugrunde, ein Verfahren zum Herstellen einer derartigen Aktivmatrix-Flüssigkristallanzeige zu schaffen.

Gemäß einer Ausgestaltung der Erfindung wird eine Aktivmatrix-Flüssigkristallanzeige geschaffen, die als eine Einheit mit einer Treiberschaltung ausgebildet ist, mit

einem Paar von in gegenüberliegender Beziehung zueinander angeordneten Substraten und einem Flüssigkristallmaterial, das zwischen dem Paar Substrate schichtenweise angeordnet ist, wobei das Paar Substrate

ein Dünnschichttransistor-Substrat, das zumindest ein isolierendes Substrat, eine Source-Verbindungsleitung und eine Gate-Verbindungsleitung, die in einem Matrix-Muster auf dem isolierenden Substrat ausgebildet sind, einen Dünnschichttransistor, der an einem Bildelement-Abschnitt zur Verwendung als Schaltelement zum Anlegen einer Spannung an einen Abschnitt des Flüssigkristallmaterials vorgesehen ist, das an einer Stelle liegt, an der sich die Source-Verbindungsleitung und die Gate-Verbindungsleitung schneiden, eine an eine Drain-Elektrode des Dünnschichttransistors angeschlossene Bildelement-Elektrode zum Zuführen einer Spannung zu dem Flüssigkristallmaterial und eine CMOS-Treiberschaltung mit einem CMOS-Teil enthält, der Dünnschichttransistoren zum Zuführen eines elektrischen Signals zu dem Dünnschichttransistor des Bildelement-Abschnitts über die Source-Verbindungsleitung und die Gate-Verbindungsleitung aufweist, sowie

ein Gegen-Substrat umfaßt, das ein isolierendes Substrat und eine darauf ausgebildete Gegen-Elektrode enthält,

wobei der an dem Bildelement-Abschnitt vorgesehene Dünnschichttransistor eine erste Leitfähigkeit und einen Offset- bzw. Versatz- oder einen Aufbau mit lateraler Doppeldiffusion bzw. LDD-Aufbau aufweist, und wobei zumindest ein Dünnschichttransistor mit einer ersten Leitfähigkeit der Dünnschichttransistoren der CMOS-Treiberschaltung den Offset- oder LDD-Aufbau aufweist.

Mit der ersten Leitfähigkeit ist hier entweder ein n-

oder p-Leitfähigkeitstyp gemeint, und die zweite Leitfähigkeit ist entgegengesetzt zur ersten Leitfähigkeit. Falls beispielsweise die erste Leitfähigkeit ein n-Leitfähigkeitstyp ist, dann ist die zweite Leitfähigkeit ein p-Leitfähigkeitstyp, und umgekehrt.

Außerdem ist hier mit dem Dünnschichttransistor mit der ersten Leitfähigkeit ein Transistor mit einem Kanal einer ersten Leitfähigkeit und Source-/Drain-Bereichen der ersten Leitfähigkeit bezeichnet, und der Dünnschichttransistor mit der zweiten Leitfähigkeit ist hinsichtlich der Leitfähigkeit das Umgekehrte des Dünnschichttransistors mit der ersten Leitfähigkeit.

Gemäß einer anderen Ausgestaltung der Erfindung wird ein Verfahren zum Herstellen einer Aktivmatrix-Flüssigkristallanzeige geschaffen, die als eine Einheit mit einer Treiberschaltung ausgebildet ist, wobei ein Flüssigkristallmaterial zwischen einem Dünnschichttransistor-Substrat und einem Gegen-Substrat mit einer Gegen-Elektrode auf einem isolierenden Substrat schichtenweise angeordnet ist, wobei das Dünnschichttransistor-Substrat ein isolierendes Substrat, Dünnschichttransistoren, die in einem Matrix-Muster auf dem isolierenden Substrat angeordnet sind und jeweils an einem einzelnen Bildelement-Abschnitt zur Verwendung als Schaltelement vorgesehen sind, und eine CMOS-Treiberschaltung mit einem CMOS-Teil zum Steuern des Dünnschichttransistors jedes Bildelement-Abschnitts aufweist, wobei das Verfahren die Herstellung des Dünnschichttransistors jedes Bildelement-Abschnitts und des CMOS-Teils aufweist, der einen Dünnschichttransistor mit einer ersten Leitfähigkeit und einen Dünnschichttransistor mit einer zweiten Leitfähigkeit enthält, wobei die Herstellung zumindest folgende Schritte aufweist:

(a) ein aufeinanderfolgendes Bilden eines Kanal-Halbleiterfilms, eines Gateisolationsfilms und eines Gateelektroden-Dünnschichtfilms auf dem isolierenden Substrat in dessen Bereichen, die für den Dünnschichttransistor jedes Bildelement-Abschnitts, für den Dünnschichttransistor mit der ersten Leitfähigkeit und für den Dünnschichttransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen sind, gefolgt von dem Bilden eines Photoresists auf dem Gateelektroden-Dünnschichtfilm zum feinen Strukturieren des Gateelektroden-Dünnschichtfilms,

(b) ein Ätzen des Elektroden-Dünnschichtfilms mit Verwendung des Photoresists als Maske zum Bilden von Gateelektroden, die jeweils schmaler als das Photoresist sind,

(c) ein Ionimplantieren eines Fremdstoffes bzw. einer Verunreinigung mit einer ersten Leitfähigkeit mit einer hohen Konzentration in Source-/Drain-Bereiche, die auf beiden Seiten jeder der Gateelektroden liegen, mit Verwendung des Photoresists als Maske zum Erzeugen von drei Arten von Dünnschichttransistoren mit der ersten Leitfähigkeit und einem Offset- bzw. Versatz-Aufbau und ein anschließendes Entfernen des Photoresists, und

(d) ein Überziehen zumindest des Dünnschichttransistors jedes Bildelement-Abschnitts und des Dünnschichttransistors, der als Dünnschichttransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung dient, mit einem Photoresist, und ein Ionimplantieren eines Fremdstoffes bzw. einer Verunreinigung mit einer zweiten Leitfähigkeit in den Dünnschichttransistor, der als Dünnschichttransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung dient, mit einer Konzentration, die höher als die

Konzentration des Fremdstoffes mit der ersten Leitfähigkeit hinsichtlich einer effektiven Konzentration ist, die in Anbetracht der Aktivierungs-Ausbeute jedes Fremdstoffes zu dem Zeitpunkt des Abschlusses von dessen Aktivierung bestimmt wird, damit der Dünnschichttransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung gebildet wird.

Anstelle des Schritts (d) kann das erfindungsgemäße Verfahren folgende Schritte aufweisen:

(e) ein Ionenimplantieren des Fremdstoffes mit der ersten Leitfähigkeit in die drei Arten von Dünnschichttransistoren mit einer geringen Konzentration, um dadurch alle drei Arten von Dünnschichttransistoren einen LDD-Aufbau mit der ersten Leitfähigkeit aufweisen zu lassen, und
(f) ein Überziehen zumindest der Bereiche, die für den Dünnschichttransistor jedes Bildelement-Abschnitts und für den Dünnschichttransistor vorgesehen sind, der als Dünnschichttransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung dient, mit einem Photoresist, und ein Ionenimplantieren des Fremdstoffes mit der zweiten Leitfähigkeit in den Dünnschichttransistor, der als Dünnschichttransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung dient, mit einer Konzentration, die höher als die Konzentration des Fremdstoffes mit der ersten Leitfähigkeit hinsichtlich einer effektiven Konzentration ist, die in Anbetracht der Aktivierungs-Ausbeute jedes Fremdstoffes zu dem Zeitpunkt des Abschlusses von dessen Aktivierung bestimmt wird, damit der Dünnschichttransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung gebildet wird.

Dieses Verfahren gestattet, daß der Dünnschichttransistor jedes Bildelement-Abschnitts und des Dünnschichttransistors mit der ersten Leitfähigkeit der CMOS-Treiberschaltung einen LDD-Aufbau anstelle des Offset- bzw. Versatz-Aufbaus aufweist. Dank des LDD-Aufbaus kann der Strom erhöht werden, der im eingeschalteten Zustand fließt, während der Ruhestrom verglichen mit dem Strom, der im eingeschalteten Zustand fließt, in dem Fall des Versatz-Aufbaus beschränkt wird.

Alternativ weist ein erfindungsgemäßes Verfahren die Herstellung eines Dünnschichttransistors jedes Bildelement-Abschnitts, eines Dünnschichttransistors mit einer ersten Leitfähigkeit und eines Dünnschichttransistors mit einer zweiten Leitfähigkeit einer CMOS-Treiberschaltung auf, wobei die Herstellung zumindest folgende Schritte aufweist:

(g) ein aufeinanderfolgendes Bilden eines Halbleiterfilms und eines Gateisolationsfilms auf einem isolierenden Substrat, gefolgt von dem Bilden eines Gateelektroden-Dünnschichtfilms auf der gesamten Substratoberfläche,

(h) ein Maskieren eines Bereichs, der für den Dünnschichttransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, und von Bereichen, die für entsprechende Gateelektroden des Dünnschichttransistors mit der ersten Leitfähigkeit der CMOS-Treiberschaltung und für den Dünnschichttransistor mit der ersten Leitfähigkeit jedes Bildelement-Abschnitts vorgesehen sind, mit einem Photoresist, gefolgt von einem Strukturieren

des Gateelektroden-Dünnschichtfilms durch isotropes Ätzen, wodurch die Gateelektroden gebildet werden, von denen jede schmaler als das Photoresist ist, das diese maskiert,

(i) ein Ionenimplantieren eines Fremdstoffes bzw. einer Verunreinigung mit einer ersten Leitfähigkeit in den Halbleiterfilm in Bereiche, die für den Dünnschichttransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung und für den Dünnschichttransistor mit der ersten Leitfähigkeit jedes Bildelement-Abschnitts vorgesehen sind, mit Verwendung des Photoresists als Maske zum Bilden von Source-/Drain-Bereichen in jedem dieser Bereiche, wobei die Source-/Drain-Bereiche einen Offset- bzw. Versatz-Kanal dazwischen definieren,

(j) ein Entfernen des Photoresists,

(k) ein Maskieren der Bereiche, die für den Dünnschichttransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung und für den Dünnschichttransistor mit der ersten Leitfähigkeit jedes Bildelement-Abschnitts vorgesehen sind, mit einem Photoresist, und ein Strukturieren des Gateelektroden-Dünnschichtfilms in dem Bereich, der für den Dünnschichttransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, um die Gateelektrode des Dünnschichttransistors mit der zweiten Leitfähigkeit zu bilden, und

(l) ein Ionenimplantieren eines Fremdstoffes bzw. einer Verunreinigung mit einer zweiten Leitfähigkeit in den Halbleiterfilm in dem Bereich, der für den Dünnschichttransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, mit Verwendung des Photoresists als Maske zum Bilden von Source-/Drain-Bereichen des Dünnschichttransistors mit der zweiten Leitfähigkeit.

Mit diesem Verfahren kann die Menge der Fremdstoffionen mit der zweiten Leitfähigkeit verringert werden, die bei dem Schritt (1) in den Bereich implantiert werden sollen, der für den Dünnschichttransistor mit der zweiten Leitfähigkeit vorgesehen ist. Dies trägt zu einem höheren Durchsatz bei.

Dieses Verfahren kann zusätzlich zwischen den Schritten (j) und (k) den Schritt (m) des Ionenimplantierens des Fremdstoffes mit der ersten Leitfähigkeit in die Bereiche enthalten, die für den Dünnschichttransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung und für den Dünnschichttransistor mit der ersten Leitfähigkeit jedes Bildelement-Abschnitts vorgesehen sind, mit Verwendung der Gateelektroden als Maske mit einer Konzentration, die geringer als die Konzentration des Fremdstoffes mit der ersten Leitfähigkeit ist, die sich aus der vorangegangenen Ionenimplantation ergibt.

Mit diesem zusätzlichen Schritt (m) kann der LDD-Aufbau leicht und vorteilhaft verwirklicht werden.

Vorzugsweise ist der Kanal-Halbleiterfilm in zumindest einem der Bereiche, die für den Dünnschichttransistor mit der ersten Leitfähigkeit und für den Dünnschichttransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen sind, mit einem Fremdstoffelement mit derjenigen Leitfähigkeit leicht dotiert, die entgegengesetzt zu der Leitfähigkeit der Source-/Drain-Bereiche des entsprechenden Transistors ist. Dies gestattet, die Schwellspannung des Transistors vorteilhaft zu steuern.

Der Kanal-Halbleiterfilm in den Bereichen, die für den Dünnschichttransistor jedes Bildelement-Abschnitts und für den Dünnschichttransistor mit der ersten Leitfähig-

keit der CMOS-Treiberschaltung vorgesehen sind, sollten möglichst mit dem Fremdstoff mit der zweiten Leitfähigkeit leicht dotiert sein. Dies gestattet, die Schwellspannung dieser Transistoren zu steuern.

Die Ionenimplantation des Fremdstoffes mit der zweiten Leitfähigkeit in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit vorgesehen ist, wird vorzugsweise durch ein schräges Implantationsverfahren durchgeführt, das Fremdstoffionen mit der zweiten Leitfähigkeit in einem Einfallswinkel von 20° oder mehr implantiert. Dies gestattet, daß der Transistor einen verminderten Ruhestrom aufweist.

Wenn der Gateelektroden-Dünnfilm aus Polysilizium gebildet wird, das vorher mit dem Fremdstoff mit der ersten Leitfähigkeit dotiert ist, wird außerdem vorzugsweise ein zusätzlicher Schritt zum Ionenimplantieren des Fremdstoffs mit der ersten Leitfähigkeit in den Gateelektroden-Dünnfilm in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, nach der Bildung des Gateelektroden-Dünnfilms mit einer Konzentration durchgeführt, die höher als die Konzentration des Fremdstoffes mit der zweiten Leitfähigkeit ist, die später daraufionenimplantiert wird.

Bei der erfindungsgemäßen Aktivmatrix-Flüssigkristallanzeige weisen der Dünnfilmtransistor jedes Bildelements und der Dünnfilmtransistor mit derselben Leitfähigkeit wie der Dünnfilmtransistor jedes Bildelements einen Offset- bzw. Versatz- oder einen LDD-Aufbau auf. Diese Anordnung gestattet, daß der Dünnfilmtransistor jedes Bildelements einen Ruhestrom aufweist, der auf nicht mehr als ungefähr 10^{-11} A abgesenkt ist, während ermöglicht wird, daß die CMOS-Treiberschaltung eine hohe Versorgungsspannung verwendet, wodurch eine Operation mit einer hohen Geschwindigkeit verwirklicht wird.

Bei dem erfindungsgemäßen Herstellungsverfahren der Aktivmatrix-Flüssigkristallanzeige werden der Dünnfilmtransistor jedes Bildelements und der Dünnfilmtransistor mit derselben Leitfähigkeit wie der Dünnfilmtransistor jedes Bildelements in demselben Verfahren hergestellt. Dies ermöglicht, die Anzahl der Photolithographie-Schritte und die der Ionenimplantations-Schritte verglichen mit dem herkömmlichen Herstellungsverfahren jeweils um eins bzw. eins zu verringern. Außerdem können bestimmte Beispiele des Verfahrens die Anzahl der Ätzschritte verglichen mit dem herkömmlichen Verfahren um eins verringern.

Nachstehend wird die Erfindung anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben. Es zeigen:

Fig. 1(a) bis 1(f) ein Herstellungsverfahren für einen Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß Beispiel 1 der vorliegenden Erfindung,

Fig. 2 einen Schritt eines Herstellungsverfahrens für einen Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß Beispiel 2 der vorliegenden Erfindung,

Fig. 3(a) bis 3(c) ein Herstellungsverfahren für einen Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß Beispiel 3 der vorliegenden Erfindung,

Fig. 4(a) bis 4(h) ein Herstellungsverfahren für einen Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß Beispiel 4 der vorliegenden Erfindung,

Fig. 5(a) bis 5(b) ein Herstellungsverfahren für einen

Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß Beispiel 5 der vorliegenden Erfindung,

Fig. 6 eine graphische Darstellung, die die Beziehung zwischen der Feldeffekt-Beweglichkeit bzw. -Mobilität (μ) und der Offset- bzw. Versatz-Länge vor und nach einer Hydrierungs-Behandlung darstellt,

Fig. 7(a) bis 7(e) ein Herstellungsverfahren für einen Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß Beispiel 9 der vorliegenden Erfindung,

Fig. 8(a) und 8(b) ein Herstellungsverfahren für einen Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß Beispiel 11 der vorliegenden Erfindung,

Fig. 9 ein Herstellungsverfahren für einen Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß Beispiel 13 der vorliegenden Erfindung,

Fig. 10 ein Herstellungsverfahren für einen Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß Beispiel 14 der vorliegenden Erfindung und

Fig. 11(a) bis 11(g) ein herkömmliches Herstellungsverfahren für einen Dünnfilmtransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige.

Nachstehend wird die vorliegende Erfindung unter Bezugnahme auf die Zeichnung ausführlich beschrieben.

Typischerweise enthält eine Aktivmatrix-Flüssigkristallanzeige ein Paar gegenüberliegender Substrate mit einem vorbestimmten Zwischenraum dazwischen, die an ihren Randabschnitten aneinander gebondet bzw. geklebt sind, ein in den Zwischenraum eingeführtes Flüssigkristallmaterial, an beiden Seiten des Pairs von Substraten angeordnete Polarisatoren, ein Hintergrundlicht und dergleichen. Eines der Substrate ist ein Dünnfilmtransistor-Substrat, das ein aus einem Material wie Glas, Plastik oder dergleichen hergestelltes isolierendes Substrat, auf dem zumindest (nachstehend als "Bildelement-Schalt-Dünnfilmtransistoren" bezeichnete) Dünnfilmtransistoren von Bildelement-Abschnitten und in einem Matrix-Muster angeordnete Bildelement-Elektroden vorgesehen sind, Signal-Busleitungen wie Source-Verbindungsleitungen und Gate-Verbindungsleitungen, die sich längs und quer in einer Matrix-Art erstrecken, um die Bildelement-Abschnitte zu verbinden, eine CMOS-Treiberschaltung mit CMOS-Treiber-Dünnfilmtransistoren, d. h. einem n-Typ-Dünnfilmtransistor und einem p-Typ-Dünnfilmtransistor zum Steuern jedes Bildelement-Schalt-Dünnfilmtransistors sowie einen Ausrichtungsfilm enthält. Das andere Substrat ist ein Gegenelektroden-Substrat, das ein ähnliches wie das vorstehend erwähnte isolierende Substrat enthält, auf dem zumindest eine Gegenelektrode und fakultativ ein Ausrichtungsfilm, eine schwarze Maske, ein Farbfilter und dergleichen je nach Erfordernis vorgesehen sind.

Erfindungsgemäß wird eine Aktivmatrix-Flüssigkristallanzeige mit Dünnfilmtransistoren mit einem verbesserten Aufbau für jedes Bildelement und die CMOS-Treiberschaltung sowie ein verbessertes Herstellungsverfahren dafür geschaffen. Die Aktivmatrix-Flüssigkristallanzeige ist dadurch gekennzeichnet, daß sowohl der Bildelement-Schalt-Dünnfilmtransistor als auch der Dünnfilmtransistor der CMOS-Treiberschaltung mit derselben Leitfähigkeit wie der Bildelement-Schalt-Dünnfilmtransistor einen Offset- bzw. Versatz- oder einen Aufbau mit lateraler Doppeldiffusion bzw. LDD-Aufbau aufweisen. Außerdem ist das erfindungsgemäße

Herstellungsverfahren dadurch gekennzeichnet, daß diese Dünnfilmtransistoren in demselben Verfahren hergestellt werden, wodurch die Anzahl der Photolithographie-Schritte und die der Ätzschritte verringert wird.

In anderen als den vorstehend erwähnten Merkmalen ist die vorliegende Erfindung dem Stand der Technik ähnlich, weshalb nur der Dünnfilmtransistor-Aufbau des Dünnfilmtransistor-Substrats und das Herstellungsverfahren dafür anhand von bestimmten Beispielen beschrieben werden.

Beispiel 1

Fig. 1(a) bis 1(f) veranschaulichen ein Beispiel eines Herstellungsverfahrens für einen Dünnfilmtransistor-Abschnitt einer erfindungsgemäßen Aktivmatrix-Flüssigkristallanzeige. Gemäß der Figuren enthält der Dünnfilmtransistor-Abschnitt ein isolierendes Substrat 1, einen Polysiliziumfilm 2 zur Verwendung als Kanal-Halbleiterfilm, einen Gateisolationsfilm 3, n^+ -Polysilizium 4, das erheblich mit P dotiert ist und als Gateelektroden dient, ein Photoresist 5 einschließlich 5a, 5b und 5c, Source-/Drain-Bereiche 16, 26 und 36, die mit P-Ionen mit einer hohen Konzentration dotiert und beispielsweise aus n^+ -Polysilizium gebildet sind, und Source-/Drain-Bereiche 37, die mit B-Ionen mit einer hohen Konzentration dotiert und beispielsweise aus p^+ -Polysilizium gebildet sind. In diesem Fall weisen ein n-Schaltelement-Dünnfilmtransistor des Bildelement-Abschnittes und der n-Typ-Dünnfilmtransistor der CMOS-Treiberschaltung einen Offset- bzw. Versatz-Aufbau auf, wohingegen der p-Typ-Dünnfilmtransistor der CMOS-Treiberschaltung keinen Offset-Aufbau, sondern einen herkömmlichen planaren Aufbau aufweist.

Die Halbleitereinrichtungen mit den vorstehend beschriebenen Anordnungen werden gemäß dem nachstehend beschriebenen Verfahren hergestellt. Zunächst wird der Polysiliziumfilm 2 zur Verwendung als Kanal-Halbleiterfilm auf dem isolierenden Substrat 1 beispielsweise durch ein chemisches Abscheideverfahren aus der Gasphase bzw. CVD-Verfahren mit geringem Druck, ein Plasma-CVD-Verfahren oder ein CVD-Verfahren mit atmosphärischem Druck gebildet, was von einem Bilden des Photoresists 5a (gemäß Fig. 1(a)) gefolgt ist. Dann wird ein Trockenätzen zum Definieren von Polysiliziuminseln durchgeführt. Der Polysiliziumfilm kann durch einen amorphen Siliziumfilm unter Verwendung eines Plasma-CVD-Verfahrens, eines CVD-Verfahrens mit geringem Druck oder einem CVD-Verfahren mit atmosphärischem Druck und anschließendem Ausführen einer Festphasen-Kristallisation bei 550°C oder mehr oder durch Bilden eines amorphen oder Polysilizium-Films gebildet werden, was von einem Ausführen eines Laser-Ausheilverfahrens gefolgt ist. Daraufhin wird der Gateisolationsfilm 3 durch ein thermisches Oxidationsverfahren, ein CVD-Verfahren mit geringem Druck, ein CVD-Verfahren mit atmosphärischem Druck, ein Elektronen-Zyklotronresonanz-Plasma-CVD-Verfahren bzw. ECR-Plasma-CVD-Verfahren, ein Plasma-CVD-Verfahren oder ein ähnliches Verfahren oder durch Kombinieren von zwei oder mehreren dieser Verfahren (gemäß Fig. 1(b)) gebildet.

Daraufhin wird der Gateelektroden-Dünnfilm 4 wie das n^+ -Polysilizium, das als Gateelektroden dient, beispielsweise durch ein CVD-Verfahren mit geringem Druck (gemäß Fig. 1(c)) gebildet.

Anschließend wird gemäß Fig. 1(d) zum Bilden der

Gateelektroden jedes Bildelement-Schalt-Dünnfilmtransistors 10 und der Dünnfilmtransistoren 20 sowie 30 der CMOS-Treiberschaltung das Photoresist 5b gebildet und dann der n^+ -Polysilizium-Dünnfilm 4 unter Verwendung beispielsweise von SF_6 -Gas geätzt, damit Strukturen der Gateelektroden 14, 24 und 34 gebildet werden. Zu diesem Zeitpunkt wird der Abschluß des Trockenätzens durch Überwachen von Fluorradikalen mit einem Spektrum von 704 nm beurteilt, gefolgt von einem Unterätzen für einen vorbestimmten Zeitraum zum seitlichen Ätzen des n^+ -Polysilizium-Dünnfilms 4. Dies ermöglicht, daß die Breite jeder der sich ergebenden Gateelektroden 14, 24 und 34 geringer als die Breite des Photoresist-Musters wird. Infolgedessen bilden die Gateelektroden 14, 24 und 34 in Kombination mit dem Photoresist darauf auskragende Anordnungen. Wenn die Gateelektroden aus einem Metall hergestellt sind, können die auskragenden Anordnungen durch Unterätzen des Metalls entsprechend einem Naßätzverfahren gebildet werden.

Daraufhin werden P-Ionen in die Polysiliziuminseln mit einer hohen Konzentration implantiert, damit Source-/Drain-Bereiche 16, 26 und 36 aus n^+ -Polysiliziumfilm gebildet werden, das erheblich mit P dotiert ist.

Daraufhin werden gemäß Fig. 1(e) die Bereiche, die für jeden Bildelement-Schalt-Dünnfilmtransistor 10 und den n-Typ-Dünnfilmtransistor 20 der CMOS-Treiberschaltung vorgesehen sind, mit dem Photoresist 5c überzogen und dann der für den p-Typ-Dünnfilmtransistor 30 der CMOS-Treiberschaltung vorgesehene Bereich mit B-Ionen implantiert, wodurch ein Source-/Drain-Bereich 37 aus einer erheblich mit B dotierten p^+ -Polysiliziumschicht gebildet wird. In diesem Fall sollte die Menge B, die ionenimplantiert werden soll, derart eingestellt werden, daß die sich von der Ionenimplantation ergebende B-Konzentration die Konzentration des bei dem Schritt gemäß Fig. 1(d) implantierten P hinsichtlich der effektiven Konzentration übertrifft, die in Anbetracht der Aktivierungs-Ausbeute jedes Fremdstoffes zu dem Zeitpunkt des Abschlusses dessen Aktivierung bestimmt ist. Mit der Aktivierungs-Ausbeute zu dem Zeitpunkt des Abschlusses der Aktivierung ist hier das Verhältnis der Menge eines Fremdstoffes, die Ladungsträger abgegeben hat, zu der Gesamtmenge des in dem Film enthaltenen Fremdstoffs gemeint. Der Halbleiter sollte nach der Aktivierung des Fremdstoffs eine gewünschte Leitfähigkeit aufweisen.

Schließlich wird das Photoresist 5c zum Vervollständigen des n-Offset-Dünnfilmtransistors 10 zur Verwendung als Schaltelement jedes Bildelements und des n-Offset-Dünnfilmtransistors 20 und des p-Dünnfilmtransistors 30 der CMOS-Treiberschaltung entfernt. Mit diesem Verfahren können diese Dünnfilmtransistoren 10, 20 und 30 durch Ausführen von zwei Trockenätz-Schritten und drei Photolithographie-Schritten hergestellt werden.

Obwohl das vorliegende Verfahren die Ionenimplantation zum Dotieren des Silizium-Dünnfilms mit Fremdstoffen einsetzt, kann von einem Diffusionsverfahren oder einer ähnlichen Technologie anstelle der Ionenimplantation Gebrauch gemacht werden. Außerdem kann, obwohl bei diesem Beispiel P als n-Typ-Fremdstoff verwendet wird, (nachstehend als "As" bezeichnetes) Arsen an dessen Stelle verwendet werden.

Nachstehend wird auf die Arbeitsweise der Halbleitereinrichtungen gemäß dem vorliegenden Beispiel Bezug genommen. In diesem Fall weist der Dünnfilmtransistor 10 zur Verwendung als Schaltelement jedes Bild-

elements Polysilizium mit Offset-Aufbau auf. Es ist von Bedeutung, daß der Bildelement-Schalt-Dünnschalttransistor 10 einen verringerten Ruhestrom aufweist. Allgemein sollte der Ruhestrom möglichst nicht höher als ungefähr 10^{-11} A sein. — Es ist jedoch schwierig, den Ruhestrom auf einen solchen Wert oder weniger zu verringern, da der Dünnschalttransistor aus Polysilizium in dem ausgeschalteten Zustand durch an einer Korn- grenze vorliegende Kristallfehler beeinflusst wird, so daß der Feldemissions-Strom in den Drain-Bereich fließt. Aus diesem Grund sind Offset-Bereiche 19 und 29 an beiden Seiten der Gateelektrode wie bei den Dünnschalttransistoren 10 und 20 gemäß Fig. 1(f) zum Verrin- gern der elektrischen Felder der Drain-Bereiche 16 und 26 vorgesehen, wodurch der Ruhestrom verringert wird.

Da der n-Typ-Dünnschalttransistor 20 des CMOS-Trei- berschaltungs-Abschnitts den Offset-Aufbau aufweist, dient dieser Offset-Bereich in dem Dünnschalttransistor 20 als Reihenwiderstand, weswegen der Strom verrin- gert werden kann, der im eingeschalteten Zustand fließt. Dieses Problem kann durch Optimieren der Offset- bzw. Versatzlänge und der Werkstoffeigenschaften von Si gelöst werden. Die Versatz- bzw. Offsetlänge kann da- durch genau gesteuert werden, daß bei dem n⁺-Polysili- ziumfilm, der die Gateelektroden 14 und 24 bildet, die seitliche Ätztechnologie eingesetzt wird. Bei einem tat- sächlich hergestellten Dünnschalttransistor beträgt die Versatzlänge ungefähr 0,2 µm bis ungefähr 2,0 µm. Um den Strom zu erhöhen, der im eingeschalteten Zustand fließt, ist es erforderlich, den Reihenwiderstand der Off- set-Bereiche zu verringern oder insbesondere die Werk- stoffeigenschaften von Polysilizium zu verbessern. Zu diesem Zweck wird das Polysilizium einer Hydrierungs- Behandlung unterzogen. Fig. 6 zeigt die Abhängigkeit des Stroms im eingeschalteten Zustand eines Dünnschalt- transistors mit Versatz von der Versatzlänge vor und nach der Hydrierungs-Behandlung. Gemäß Fig. 6 verur- sacht die Hydrierungs-Behandlung, daß der Drainstrom des Dünnschalttransistors wesentlich zunimmt. Die Hy- drierungs-Behandlung macht von einem durch die Ver- wendung von einem Elektronen-Zyklotronresonanz- Plasma bzw. ECR-Plasma erzeugten Wasserstoffplasma Gebrauch, damit eine hohe Effektivität erreicht wird. Die Hydrierungs-Behandlung kann auf einem typischen Parallel-Flachplatten-Hochfrequenz-Plasma-CVD-Ver- fahren, einer Wasserstoff-Ionenimplantation oder ein- em Verfahren von Zuführen von Wasserstoff durch Bilden von SiN_x unter Verwendung eines Plasma-CVD- Verfahrens und eines Ausheilens des SiN_x-Filmes beru- hen. Vorzugsweise wird das Polysilizium bei einer ho- hen Temperatur, beispielsweise zumindest 700°C nach dessen Bildung wärmebehandelt, damit weiter verbes- serte Werkstoffeigenschaften geschaffen werden, wo- durch die Einschalteneigenschaften des Dünnschalttransi- stors verbessert werden. Wenn das thermische Oxi- dationsverfahren für die Bildung des Gateisolationfilms verwendet wird, kann die Wärmebehandlung zum Ver- bessern der Werkstoffeigenschaften des Polysiliziums damit zur gleichen Zeit durchgeführt werden. In diesem Fall beträgt die Temperatur für die Wärmebehandlung möglichst zumindest ungefähr 900°C.

Bei dem Schritt gemäß Fig. 1(e) werden die Source-/Drain-Bereiche 37 mit durch B-Ionenimplantation ge- bildetes p⁺-Polysilizium zum Herstellen des p-Dünnschalttransistors 30 der CMOS-Treiberschaltung gebildet. Bei dieser B-Ionenimplantation wird der als Gateele- ktrode des p-Dünnschalttransistors 30 der CMOS-Treiber- schaltung dienende n⁺-Polysiliziumfilm 34 auch mit B

implantiert. Dementsprechend wird in der Gateelektro- de enthaltenes P durch B kompensiert, so daß die Kon- zentration der effektiven Ladungsträger in dem Film abnimmt und der Widerstand der Gateelektrode zu- nimmt. Falls außerdem die B-Konzentration die P-Kon- zentration übertrifft, wird die Leitfähigkeit der Gate- elektrode eine p-Leitfähigkeit. Dies führt zu einem Pro- blem einer wesentlich erhöhten Schwellspannung V_{th} des Dünnschalttransistors. Aus diesem Grund muß das Verfahren derart gesteuert werden, daß die P-Konzen- tration der Gateelektrode zumindest höher als die Kon- zentration von in den Gateelektrodenfilm implantierten B hinsichtlich der effektiven Konzentration jedes Fremdstoffs ist, die in Anbetracht dessen Aktivierungs- Ausbeute nach dem Abschluß der Aktivierung bestimmt wird.

Beispiel 2

Bei dem Beispiel 1 werden gemäß Fig. 1(e) die Sour- ce-/Drain-Bereiche 37 mit durch B-Ionenimplantation gebildeten p⁺-Polysilizium zum Herstellen des p-Dünnschalttransistors 30 der CMOS-Treiberschaltung gebildet. Bei dieser B-Ionenimplantation wird auch in den als Gateelektrode des p-Dünnschalttransistors 30 der CMOS-Treiberschaltung dienenden n⁺-Polysilizium- film 34 B implantiert. Dementsprechend wird in der Gateelektrode enthaltenes P durch B kompensiert, so daß die Konzentration der effektiven Ladungsträger in dem Film abnimmt und der Widerstand der Gateele- ktrode zunimmt. Falls außerdem die B-Konzentration die P-Konzentration übertrifft, wird die Leitfähigkeit der Gateelektrode eine p-Leitfähigkeit. Dies führt zu einem Problem einer wesentlich erhöhten Schwellspannung V_{th} des Dünnschalttransistors.

Bei diesem Beispiel werden nach der Bildung des n⁺-Polysiliziumfilms für die Gateelektrode bei dem Schritt gemäß Fig. 1(c) P-Ionen gemäß Fig. 2 in das n⁺-Polysilizium implantiert. Die Konzentration des zu diesem Zeitpunkt implantierten P wird derart einge- stellt, daß es folgende Beziehung erfüllt: (P-Konzentration in der Gateelektrode + Konzentra- tion von zu implantierendem P) > (Konzentration von bei dem Schritt gemäß Fig. 1(e) zu implantierendem B). Dies verhindert, daß die effektive Ladungsträgerkon- zentration abnimmt, weil die P-Konzentration des n⁺-Polysiliziumfilms der Gateelektrode durch bei dem Schritt gemäß Fig. 1(e) implantiertem B kompensiert wird.

Bei diesem Beispiel ist es nicht erforderlich, die P-Konzentration der Gateelektrode hinsichtlich der Menge von durch B zu kompensierendem P übermäßig einzustellen.

Bei diesem Beispiel kann As anstelle von P als n-Typ- Fremdstoff verwendet werden.

Beispiel 3

Nachstehend wird ein drittes Beispiel des erfindungs- gemäßen Verfahrens zum Herstellen des Dünnschalttran- sistor-Abschnitts einer Aktivmatrix-Flüssigkristallan- zeige unter Bezug auf Fig. 1(a) bis 1(d) und Fig. 3(a) bis 3(c) beschrieben.

In Fig. 3(a) bis 3(c) bezeichnen Bezugszeichen 18, 28 und 38 LDD-Abschnitte mit n⁻-Polysilizium und die anderen Bezugszeichen dieselben Teile wie in Fig. 1(a) bis 1(f). In diesem Fall weist jeder Bildelement-Schalt- n-Typ-Dünnschalttransistor 10 und der n-Typ-Dünnschalt-

transistor 20 der CMOS-Treiberschaltung einen Aufbau mit lateraler Doppeldiffusion bzw. LDD-Aufbau auf, wohingegen der p-Typ-Dünnschichttransistor 30 der CMOS-Treiberschaltung keinen LDD-Aufbau, sondern einen typischen planaren Aufbau aufweist.

Das Herstellungsverfahren für den Dünnschichttransistor-Abschnitt einer Aktivmatrix-Flüssigkristallanzeige gemäß diesem Beispiel ist wie nachstehend beschrieben.

Zunächst werden auf dieselbe Weise wie bei dem Beispiel 1 auf einem isolierenden Substrat 1 nacheinander Inseln einer Kanal-Halbleiterschicht 2, ein Gateisolationsschicht 3 und Gateelektroden 4 gebildet, gefolgt von einer Implantation von P-Ionen unter Verwendung eines Photoresists 5b mit einer auskragenden Anordnung als Maske, wodurch gemäß Fig. 1(a) bis 1(d) Source-/Drain-Bereiche 16, 26 und 36 aus erheblich mit P dotiertem n⁺-Polysilizium gebildet werden.

Nach Entfernen des Photoresists 5b werden P-Ionen mit einer geringen Konzentration, beispielsweise ungefähr $1 \cdot 10^{16} \text{cm}^{-3}$ bis ungefähr $1 \cdot 10^{19} \text{cm}^{-3}$ zum Bilden von LDD-Bereichen 18, 28 und 38 gemäß Fig. 3(a) implantiert. In diesem Fall beträgt die Dosis von P-Ionen ungefähr $1 \cdot 10^{11} \text{cm}^{-2}$ bis ungefähr $1 \cdot 10^{14} \text{cm}^{-2}$.

Daraufhin wird gemäß Fig. 3(b), wenn der Bildelement-Schalt-Dünnschichttransistor 10 und der n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung mit dem Photoresist 5c überzogen sind, der Bereich für den p-Typ-Dünnschichttransistor 30 der CMOS-Treiberschaltung mit B-Ionen implantiert, damit Source-/Drain-Bereiche 37 aus einer erheblich mit B dotierten p⁺-Polysiliziumschicht in dem p-Typ-Dünnschichttransistor-Abschnitt der CMOS-Treiberschaltung gebildet werden. In diesem Fall sollte die Menge von zu implantierendem B die Menge von P übertreffen, die bei dem Schritt gemäß Fig. 1(d) implantiert worden ist.

Schließlich werden durch Ablösen oder Entfernen des Photoresists 5c der Bildelement-Schalt-n-Typ-Dünnschichttransistor 10 mit LDD-Anordnung, der n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung mit LDD-Anordnung und der p-Typ-Dünnschichttransistor 30 der CMOS-Treiberschaltung vervollständigt.

Obwohl die Ionenimplantations-Technologie zum Dotieren des Si-Dünnschichtfilms mit einem Fremdstoff eingesetzt wird, kann von einer Diffusionstechnologie oder einer ähnlichen Technologie an deren Stelle Gebrauch gemacht werden.

Außerdem kann As als n-Typ-Fremdstoff anstelle von P verwendet werden. Der Schritt gemäß Fig. 3(a) kann mit dem anderen Schritt gemäß Fig. 3(b) vertauscht werden.

Die grundlegende Arbeitsweise des Dünnschichttransistor-Abschnitts gemäß diesem Beispiel ist ähnlich dem gemäß Beispiel 1 beschriebenen.

Bei dem vorliegenden Beispiel sind die LDD-Bereiche 18 und 28 auf entgegengesetzten Seiten von entsprechenden Gateelektroden 14 und 24 des Bildelement-Schalt-Dünnschichttransistors 10 und des n-Typ-Dünnschichttransistors 20 der CMOS-Treiberschaltung ausgebildet. Der Widerstand der LDD-Bereiche, wenn sich die Dünnschichttransistoren in dem eingeschalteten Zustand befinden, ist geringer als die der Offset-Bereiche, weswegen der Strom weiter verbessert wird, der im eingeschalteten Zustand fließt. Dies führt dazu, daß die CMOS-Schaltung eine verbesserte Steuerfrequenz bietet.

Nachstehend wird ein viertes Beispiel der vorliegenden Erfindung unter Bezug auf Fig. 4(a) bis 4(h) beschrieben. In Fig. 4(c) bezeichnen Bezugszeichen 12b und 22b einen aus einem Material wie p⁺-Polysilizium hergestellten Halbleiterfilm zur Verwendung als leicht mit B dotiertem Kanal und die anderen Bezugszeichen entsprechende Teile wie bei den Beispielen 1 und 3. In diesem Fall weisen der Bildelement-Schalt-n-Typ-Dünnschichttransistor 10 und der n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung den LDD-Aufbau auf, wohingegen der p-Typ-Dünnschichttransistor 30 der CMOS-Treiberschaltung keinen LDD-Aufbau, sondern einen typischen planaren Aufbau aufweist.

Der Dünnschichttransistor-Abschnitt mit dem abgebildeten Aufbau wird gemäß dem folgenden Verfahren hergestellt. Auf dieselbe Weise wie bei dem Beispiel 1 wird ein aus einem Material wie einem Polysiliziumfilm hergestellter Kanal-Halbleiterfilm 2 auf einem isolierenden Substrat 1 beispielsweise durch ein chemisches Abscheideverfahren aus der Gasphase bzw. CVD-Verfahren mit geringem Druck gebildet, was von einem Bilden eines Photoresists 5a gefolgt ist. Dann wird ein Trockenätzen zum Definieren von Polysiliziuminseln durchgeführt. Der Polysiliziumfilm kann durch Bilden eines amorphen Siliziumfilms unter Verwendung eines Plasma-CVD-Verfahrens, eines CVD-Verfahrens mit geringem Druck oder eines CVD-Verfahrens mit atmosphärischem Druck und anschließendem Ausführen einer Festphasen-Kristallisation bei zumindest 550°C oder durch Bilden eines amorphen Silizium- oder Polysilizium-Films gebildet werden, was von einem Ausführen eines Laser-Ausheilverfahrens gefolgt ist. Daraufhin wird ein Gateisolationsschicht 3 durch ein thermisches Oxidationsverfahren, ein CVD-Verfahren mit geringem Druck, ein CVD-Verfahren mit atmosphärischem Druck oder ein ähnliches Verfahren (gemäß Fig. 4(a) und 4(b)) gebildet. Das Verfahren ist bis zu diesem Schritt dasselbe wie bei Beispiel 1.

Daraufhin werden der Inselbereich, der für die Bildung des p-Dünnschichttransistors 30 der CMOS-Treiberschaltung vorgesehen ist, mit einem Photoresist 5b überzogen und dann ein p-Typ-Fremdstoff wie B in die Bereiche ionenimplantiert, die für die Bildung des Bildelement-Schalt-n-Typ-Dünnschichttransistors und des n-Typ-Dünnschichttransistors 20 der CMOS-Treiberschaltung vorgesehen sind, damit dessen Schwellspannung (V_{th}) eingestellt wird. Die Dosis des p-Typ-Fremdstoffs muß für eine leichte Dotierung (gemäß Fig. 4(c)) relativ gering sein. B-Ionenimplantation kann nur bei dem Bereich durchgeführt werden, der für den n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung vorgesehen ist.

Ein anderer Schritt einer leichten Dotierung kann hinzugefügt werden, damit die Schwellspannung des p-Dünnschichttransistors 30 der CMOS-Treiberschaltung eingestellt wird. In diesem Fall werden die Bereiche, die für den Bildelement-Schalt-n-Typ-Dünnschichttransistor 10 und den n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung vorgesehen sind, mit einem Photoresist überzogen, damit bei einer Schwelleneinstellung verhindert wird, daß Fremdstoffatome in diese Dünnschichttransistoren implantiert werden.

Eine B-Ionenimplantation zum Einstellen der Schwellspannung V_{th} des Bildelement-Schalt-n-Typ-Dünnschichttransistors 10 und des n-Typ-Dünnschichttransistors 20 der CMOS-Treiberschaltung kann vor der Bil-

15 dung des Gateisolationfilms 3 und nach der Bildung des Photoresists durchgeführt werden, das den p-Typ-Dünnschichttransistor-Bereich der CMOS-Treiberschaltung bedeckt. Der Gateisolationfilm 3 wird unter Verwendung von eines thermischen Oxidationsverfahrens, eines CVD-Verfahrens mit geringem Druck, eines CVD-Verfahrens mit atmosphärischem Druck, eines ECR-Plasma-CVD-Verfahrens oder eines Plasma-CVD-Verfahrens allein oder in Kombination nach dem Entfernen des Photoresists gebildet.

Anschließend wird ein aus einem Material wie n^+ -Polysilizium hergestellter Gateelektroden-Dünnschicht 4 beispielsweise durch ein CVD-Verfahren mit geringem Druck (gemäß Fig. 4(d)) gebildet.

Daraufhin wird gemäß Fig. 4(e) zum Bilden der entsprechenden Gateelektroden des Bildelement-Schalt-Dünnschichttransistors 10 und der Dünnschichttransistoren 20 sowie 30 der CMOS-Treiberschaltung ein Photoresist 5c gebildet und dann der n^+ -Polysiliziumfilm unter Verwendung beispielsweise von SiF_4 -Gas geätzt, damit 20 Strukturen der Gateelektroden 14, 24 und 34 gebildet werden. Zu diesem Zeitpunkt wird der Abschluß des Trockenätzens des n^+ -Polysiliziumfilms durch Überwachen von Fluorradikalen mit einem Spektrum von 704 nm wie bei Beispiel 1 beurteilt. Danach wird für einen vorbestimmten Zeitraum ein Unterätzen durchgeführt, damit verursacht wird, daß der n^+ -Polysiliziumfilm seitlich geätzt wird, wodurch eine auskragende Anordnung mit jeder der Gateelektroden 14, 24 und 34 und dem darüberliegenden Photoresist gebildet wird. Ein 30 Metall kann zum Herstellen der Gateelektroden verwendet werden, das beispielsweise durch Naßätzen zum Erzeugen der auskragenden Anordnung unterätzt wird. Daraufhin wird eine P-Ionenimplantation zum Bilden von Source-/Drain-Bereichen 16, 26 und 36 mit einem 35 n^+ -Polysiliziumfilm durchgeführt.

Gemäß Fig. 4(f) wird nach dem Entfernen bzw. Ablösen des Photoresists 5c ein n-Typ-Fremdstoff wie P mit einer geringen Konzentration (leichte Dotierung) zum Bilden von LDD-Bereichen 18, 28 und 38 ionenimplantiert. Die Ionendosis bei dieser Ionenimplantation beträgt ungefähr $1 \cdot 10^{11} \text{cm}^{-2}$ bis ungefähr $1 \cdot 10^{14} \text{cm}^{-2}$ und wird möglichst derart eingestellt, daß sie eine Konzentration aufweist, die größer als die Konzentration des in die Bereiche für den Bildelement-Schalt-Dünnschichttransistor 10 und den n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung leicht implantierten B hinsichtlich der effektiven Konzentration ist, die in Betracht der Aktivierungs-Ausbeute jedes Fremdstoffs zu dem Zeitpunkt des Abschlusses der Aktivierung bestimmt wird. 50

Daraufhin werden gemäß Fig. 4(g) die Bereiche für den Bildelement-Schalt-Dünnschichttransistor 10 und den n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung mit einem Photoresist 5d überzogen und dann eine B-Ionenimplantation zum Bilden von Source-/Drain-Bereichen 37 mit einer erheblich mit B dotierten p^+ -Polysiliziumschicht in dem Bereich für den p-Typ-Dünnschichttransistor 30 der CMOS-Treiberschaltung ausgeführt. In diesem Fall sollte die Menge B, die ionenimplantiert werden soll, derart eingestellt werden, daß sie die des bei dem Schritt gemäß Fig. 4(e) vorher implantierten P hinsichtlich der effektiven Konzentration übertrifft, die in Betracht der Aktivierungs-Ausbeute jedes Fremdstoffs bei dem Abschluß der Aktivierung bestimmt wird. 65

Schließlich wird das Photoresist 5d zum Vervollständigen des Bildelement-Schalt-n-Typ-Dünnschichttransi-

stors 10 mit LDD-Aufbau, des n-Typ-Dünnschichttransistors 20 der CMOS-Treiberschaltung mit LDD-Aufbau und des p-Dünnschichttransistors 30 der CMOS-Treiberschaltung entfernt.

5 Obwohl eine Ionenimplantation zum Dotieren des Si-Dünnschichtfilms mit einem Fremdstoff bei dem vorstehend beschriebenen Verfahren verwendet wird, kann an deren Stelle von einer Diffusionstechnologie Gebrauch gemacht werden. Außerdem kann As als n-Typ-Fremdstoff anstelle von P verwendet werden.

10 Die grundlegende Arbeitsweise des Dünnschichttransistor-Abschnitts bei diesem Beispiel ist dieselbe wie die bei dem Beispiel 1 beschriebene. Bei diesem Beispiel ist der Kanalbereich jedes des Bildelement-Schalt-Dünnschichttransistors 10 und des n-Typ-Dünnschichttransistors 20 der CMOS-Treiberschaltung leicht mit B dotiert. Dies ermöglicht, die Schwellspannung V_{th} von beiden Dünnschichttransistoren 10 und 20 tatsächlich zu erhöhen. Aus diesem Grund nimmt der Drainstrom zu dem Zeitpunkt ab, bei dem die Gatespannung 0 V beträgt, weswegen die Übertragungskennlinie eines Inverters bzw. Umkehrers besonders bei der CMOS-Treiberschaltung verbessert wird. Wenn die Eingangsspannung (V_{in}) 0 V beträgt, kann eine Abnahme der Ausgangsspannung (V_{out}) infolge eines Leckstroms des n-Typ-Dünnschichttransistors vermieden werden. Zusätzlich zu der leichten Dotierung des Kanalbereichs sind die LDD-Bereiche 18 und 28 außerdem an den entgegengesetzten Seiten der entsprechenden Gateelektroden der Dünnschichttransistoren 10 und 20 vorgesehen. Dies gestattet, den elektrischen Widerstand der Dünnschichttransistoren im eingeschalteten Zustand eher als bei den Dünnschichttransistoren mit Offset-Aufbau zu verringern, wodurch deren Strom verbessert wird, der im eingeschalteten Zustand fließt. Dies führt zu einer Verbesserung der Steuerfrequenz der CMOS-Treiberschaltung. 35

Beispiel 5

40 Bei den Beispielen 1 bis 4 wird eine B-Ionenimplantation zum Erzeugen des p-Dünnschichttransistors der CMOS-Treiberschaltung durchgeführt. Bei dieser Ionenimplantation kann die sogenannte schräge Implantation zum schrägen Implantieren von B-Ionen mit einer geringen Konzentration gemäß Fig. 5(a) durchgeführt werden, gefolgt von einer gewöhnlichen Ionenimplantation für eine Implantation mit einer hohen Konzentration gemäß Fig. 5(b). Es sei bemerkt, daß ein Verfahren gemäß Fig. 5(a) mit einem Verfahren gemäß Fig. 5(a) ausgetauscht werden kann. Bei dieser schrägen Implantation ist der Einfallswinkel der Ionen auf zumindest 20° bezüglich einer Linie geneigt, die senkrecht zu der Oberfläche des Substrats ist.

Eine derartige Ionenimplantations-Technologie ermöglicht die Bildung einer überlappenden LDD-Anordnung unter der entsprechenden Gateelektrode. Daher kann die Haltespannung des p-Dünnschichttransistors 30 der CMOS-Treiberschaltung gegenüber der Drainspannung verbessert werden, wenn an die Source-/Drain-Elektrode 37 eine Spannung angelegt wird. Dementsprechend kann die Versorgungsspannung für die CMOS-Schaltung weiter verbessert werden, was zu einem Vorteil von beispielsweise einer verbesserten Ausgangsspannung der Inverter- bzw. Umkehr-Schaltung führt. 65

Beispiel 6

Bei den Beispielen 1 bis 5 weist der Bildelement-Schalt-Dünnschichttransistor einen n-Typ-Dünnschichttransistor mit Offset-Aufbau auf, aber er kann statt dessen einen p-Typ-Dünnschichttransistor aufweisen. Bei dem Fall des Bildelement-Schalt-Dünnschichttransistors mit dem p-Typ-Dünnschichttransistor ist das Herstellungsverfahren für den Dünnschichttransistor-Abschnitt grundsätzlich dasselbe wie das in Fig. 1(a) bis 5(b) dargestellte, das zu den Beispielen 1 bis 5 gehört. Jedoch muß P mit B und umgekehrt ersetzt werden; beispielsweise wird die P-Ionenimplantation mit der B-Ionenimplantation und umgekehrt ersetzt. Die Beschreibung der Gateelektroden wird nicht verändert.

Bei dem Fall von Beispiel 4 (Fig. 4(a) bis 4(h)) kann die leichte Dotierung von B zum Einstellen der Schwellspannung V_{th} bei dem Schritt gemäß Fig. 4(c) nur hinsichtlich des Bereichs für den CMOS-Treiber-n-Typ-Dünnschichttransistor 20 durchgeführt werden. In diesem Fall muß B nicht unbedingt mit P ersetzt werden.

Bei diesem Beispiel kann der n-Typ-Fremdstoff As anstelle von P aufweisen.

Beispiel 7

Bei den Beispielen 1 bis 6 können die Gateelektroden einen p+-Polysilizium-Dünnschichtfilm anstelle des n+-Polysilizium-Dünnschichtfilms aufweisen. Auch in diesem Fall sind die anderen Aufbau Merkmale dieselben wie bei den Beispielen 1 bis 6.

Beispiel 8

Bei den Beispielen 1 bis 7 weist jeder Dünnschichttransistor einen Dünnschichttransistor mit einem einzelnen Gate mit einer Gateelektrode auf, aber er kann zwei oder mehr in Reihe geschaltete Dünnschichttransistoren derart aufweisen, daß er zwei oder mehr Gateelektroden zwischen den Source-/Drain-Bereichen schafft. Auch in diesem Fall sind die anderen Aufbau Merkmale dieselben wie bei den Beispielen 1 bis 7.

Beispiel 9

Fig. 7(a) bis 7(e) sind Schnittansichten zum Erläutern eines 25 Verfahrens zum Herstellen einer Dünnschichttransistor-Anordnung gemäß Beispiel 9. Zunächst wird gemäß Fig. 7(a) ein Kanal-Polysiliziumfilm 2 zur Verwendung als Kanalschicht auf einem aus Quarz oder Glas hergestellten isolierenden Substrat 1 unter Verwendung eines CVD-Verfahrens mit geringem Druck gebildet. Dieser Kanal-Polysiliziumfilm 2 wird strukturiert und dann zum Bilden eines Gateisolationsfilms 3 von ungefähr 120 nm Dicke einem thermischen Oxidationsverfahren unterzogen. Außerdem wird ein Gateelektroden-Dünnschichtfilm 4 beispielsweise aus mit P dotiertem Si auf der gesamten Substratoberfläche ausgebildet. In diesem Fall kann der Polysiliziumfilm 2 durch Bilden eines Si-Filmes unter Verwendung eines CVD-Verfahrens mit geringem Druck und anschließender Kristallisation desselben durch Festphasen-Epitaxie, Laser-Ausheilung oder ein ähnliches Verfahren oder durch Bilden eines Si-Filmes durch ein Plasma-CVD-Verfahren und anschließender Kristallisation desselben durch Festphasen-Epitaxie, Laser-Ausheilung oder ein ähnliches Verfahren gebildet werden. Der Gateisolationsfilm 3 kann durch Bilden eines SiO_2 -Filmes oder dergleichen durch

ein Kathodenzerstäubungs- bzw. Sputterverfahren, ein CVD-Verfahren mit geringem Druck oder ein CVD-Verfahren mit atmosphärischem Druck gebildet werden. Diese Verfahren können jeweils kombiniert mit einem thermischen Oxidationsverfahren eingesetzt werden. Außerdem kann der für die Gateelektrode zu verwendende Dünnschichtfilm aus einem mit B oder As dotierten Si-Film, einem Metall-Dünnschichtfilm aus Aluminium, einer Aluminiumlegierung oder Chrom oder einem Silizid-Dünnschichtfilm aus Molbydänsilizid, Wolframsilizid oder Titansilizid als auch aus dem vorstehend erwähnten mit P dotiertem Si-Film gebildet werden.

Daraufhin wird gemäß Fig. 7(b) ein Photoresist 5a derart gebildet, daß es den gesamten Bereich für den p-Typ-Dünnschichttransistor 30 der CMOS-Treiberschaltung und die Gateelektroden-Bildungsbereiche des n-Typ-Dünnschichttransistors 20 der CMOS-Treiberschaltung und des Bildelement-Schalt-n-Typ-Dünnschichttransistors 10 überzieht.

Anschließend wird gemäß Fig. 7(c) unter Verwendung des Photoresists 5a als Maske der Gateelektroden-Dünnschichtfilm 4 beispielsweise aus Si, der als Gateelektrode verwendet werden soll, unter Verwendung eines Gases trocken geätzt, das hauptsächlich SF_6 , CF_4 , NF_3 , Cl_2 oder dergleichen enthält und für isotropes Ätzen geeignet ist, wodurch der Gateelektroden-Dünnschichtfilm 4 mit einer Breite strukturiert wird, die um ungefähr 0,3 µm bis ungefähr 2,0 µm schmaler als das Photoresist 5a ist.

Daraufhin wird gemäß Fig. 7(d) ein n-Typ-Fremdstoff wie P oder As in die Substratoberfläche ionenimplantiert, wobei das Photoresist 5a unverändert belassen wird, wodurch n-Source-/Drain-Bereiche 16 und 26 jeweils mit Offset-Bereichen 19 und 29 in den Bereichen für den Bildelement-Schalt-n-Typ-Dünnschichttransistor 10 und den n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung gebildet werden. Die Länge der Offset-Bereiche 19 und 29 liegt in dem Bereich von 0,3 µm bis 2,0 µm in Abhängigkeit davon, wie stark die Gateelektroden 14, 24 und 34 in dem vorangehenden Schritt seitlich geätzt worden sind. In diesem Fall dient das Photoresist 5a auf den Gateelektroden 14 und 24 auch dazu, zu verhindern, daß der ionenimplantierte Fremdstoff zu dem Gateisolationsfilm 3 und den Kanalbereichen 12 und 22 durchdringt, die unter den Gateelektroden 14 und 24 der n-Typ-Dünnschichttransistoren 10 und 20 liegen.

Schließlich werden gemäß Fig. 7(e) nach der Entfernung des Photoresists 5a der n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung und der Bildelement-Schalt-n-Typ-Dünnschichttransistor 10 mit einem Photoresist 5b überzogen und dann die Gateelektrode 34 des p-Dünnschichttransistors 30 der CMOS-Treiberschaltung durch Strukturieren unter Verwendung des Photoresists 5b gebildet, was von einer Ionenimplantation eines p-Typ-Fremdstoffs wie B mit dem belassenen Photoresist 5b gefolgt ist. Dies gestattet, daß p-Typ-Source-/Drain-Bereiche 37 in dem p-Typ-Dünnschichttransistor-Bereich der CMOS-Treiberschaltung gebildet werden. Auch in diesem Fall dient das Photoresist 5b auf der Gateelektrode 34 dazu, zu verhindern, daß der ionenimplantierte Fremdstoff zu der Gateelektrode 34, dem darunterliegenden Gateisolationsfilm 3 und dem Kanalbereich des p-Dünnschichttransistors 30 durchdringt. In diesem Fall weist der p-Typ-Dünnschichttransistor keinen Offset-Aufbau auf, aber er kann einen Offset-Aufbau aufweisen, der durch isotropes Ätzen erzeugt wird.

Das derart beschriebene Dünnschichttransistor-Anord-

nungs-Herstellungsverfahren gemäß diesem Beispiel ermöglicht eine Verringerung der Anzahl von Schritten, die zum Bilden der Bildelement-Schalt-n-Typ-Dünnschichttransistoren mit Offset-Aufbau und der Dünnschichttransistoren der CMOS-Treiberschaltung auf demselben Substrat erforderlich sind, weswegen eine Verringerung der Herstellungskosten und ein hoher Durchsatz verwirklicht werden. Außerdem ermöglicht der Offset-Aufbau des n-Typ-Dünnschichttransistors der CMOS-Treiberschaltung die CMOS-Treiber-Dünnschichttransistoren, eine hohe Versorgungsspannung zu verwenden. Bei diesem Beispiel ist anders als bei dem Beispiel 1 der Bereich für den p-Typ-Dünnschichttransistor 30 beim Ionenimplantieren des Fremdstoffs in die n-Typ-Dünnschichttransistoren maskiert. Dies ermöglicht, daß die Menge des Fremdstoffs wie B verringert wird, der in den p-Typ-Dünnschichttransistor implantiert werden soll, wodurch ein Vorteil durch Verwirklichen eines hohen Durchsatzes erzeugt wird.

Beispiel 10

Beispiel 9 verwendet einen n-Typ-Dünnschichttransistor als Bildelement-Schalt-Dünnschichttransistor. Jedoch können selbst dann, wenn ein p-Typ-Dünnschichttransistor als Bildelement-Schalt-Dünnschichttransistor verwendet wird, der p-Typ-Dünnschichttransistor der CMOS-Treiberschaltung und der Bildelement-Schalt-p-Typ-Dünnschichttransistor gleichzeitig mit einem Offset-Aufbau gebildet werden. Dies ermöglicht, die Anzahl der Herstellungsschritte zu verringern und Dünnschichttransistoren der CMOS-Treiberschaltung zu schaffen, die eine hohe Versorgungsspannung verwenden können. Die Dünnschichttransistor-Anordnung gemäß diesem Beispiel kann entsprechend dem in Beispiel 9 beschriebenen Herstellungsverfahren abgesehen davon hergestellt werden, daß der p-Typ-Fremdstoff bei dem ersten Implantationsverfahren implantiert wird, während der n-Typ-Fremdstoff bei dem zweiten Implantationsverfahren implantiert wird.

Durch Maskieren des n-Typ-Dünnschichttransistor-Bereichs bei der Ionenimplantation des p-Typ-Fremdstoffes ist es möglich, die Menge des Fremdstoffes wie B, der in den p-Typ-Dünnschichttransistor-Bereich implantiert werden soll, zu verringern und einen Vorteil durch Verwirklichen eines hohen Durchsatzes zu schaffen.

Beispiel 11

Während bei Beispiel 9 der Offset-Aufbau für den Bildelement-Schalt-n-Typ-Dünnschichttransistor 10 und den n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung verwendet wird, wird bei dem vorliegenden Beispiel dafür der LDD-Aufbau verwendet.

Das Herstellungsverfahren gemäß diesem Beispiel ist wie folgt. Das Herstellungsverfahren folgt dem Verfahren gemäß Beispiel 9 bis zu dem Schritt der Ionenimplantation des n-Typ-Fremdstoffs gemäß Fig. 7(d) zum Bilden von n-Typ-Dünnschichttransistoren 10 und 20 mit Offset-Aufbau.

Daraufhin wird gemäß Fig. 8(a) nach der Entfernung eines Photoresists 5a ein n-Typ-Fremdstoff wie P oder As mit einer geringen Konzentration unter Verwendung von Gateelektroden 14 und 24 als Maske ionenimplantiert. Bei dieser Implantation muß die Beschleunigungsspannung derart eingestellt werden, daß verhindert wird, daß der n-Typ-Fremdstoff die Gateelektroden 14 und 24 durchdringt und in den Gateisolationfilm oder die Kanalbereiche 12 und 22 eindringt. Auch bei

der Implantation wird ein als Gateelektrode zu verwendender Si-Dünnschichtfilm 4 in dem Bereich belassen, der für die Bildung des p-Dünnschichttransistors 30 der CMOS-Treiberschaltung vorgesehen ist, und dieser dient als Maske, wodurch verhindert wird, daß der n-Typ-Fremdstoff den Si-Abschnitt eindringt, der als Kanalbereich dient.

Schließlich werden gemäß Fig. 8(b) der n-Typ-Dünnschichttransistor 20 der CMOS-Treiberschaltung und der Bildelement-Schalt-n-Typ-Dünnschichttransistor 10 mit einem Photoresist 5b überzogen, was von dem Bilden der Gateelektrode 34 des p-Dünnschichttransistors 30 der CMOS-Treiberschaltung durch Strukturieren unter Verwendung des Photoresists 5b gefolgt ist. Dann wird eine Ionenimplantation eines p-Typ-Fremdstoffs wie B mit unverändert belassenem Photoresist 5b durchgeführt. Dies führt zu der Bildung von p-Typ-Source-/Drain-Bereichen 37 bei dem p-Typ-Dünnschichttransistor 30 der CMOS-Treiberschaltung.

Das derart beschriebene Dünnschichttransistor-Anordnungs-Herstellungsverfahren gemäß diesem Beispiel ermöglicht eine Verringerung der Anzahl von Schritten, die zum Bilden des Bildelement-Schalt-n-Typ-Dünnschichttransistors mit LDD-Aufbau und der Dünnschichttransistoren der CMOS-Treiberschaltung auf demselben Substrat erforderlich sind, weswegen eine Verringerung der Herstellungskosten und ein hoher Durchsatz verwirklicht werden. Außerdem ermöglicht der LDD-Aufbau des n-Typ-Dünnschichttransistors der CMOS-Treiberschaltung die Dünnschichttransistoren der CMOS-Treiberschaltung, eine hohe Versorgungsspannung zu verwenden. Der bei diesem Beispiel eingesetzte LDD-Aufbau erlaubt eher als die Dünnschichttransistoren mit Offset-Aufbau, den Widerstand der Dünnschichttransistoren im eingeschalteten Zustand zu verringern, wodurch dessen Strom verbessert wird, der im eingeschalteten Zustand fließt. Dies führt zu einer Verbesserung der Steuerfrequenz der CMOS-Treiberschaltung. Außerdem ist bei diesem Beispiel anders als bei dem Beispiel 3 der Bereich für den p-Typ-Dünnschichttransistor 30 mit dem Si-Dünnschichtfilm 34 bei der Bildung der n-Typ-Dünnschichttransistoren mit LDD-Aufbau überzogen, wodurch verhindert wird, daß der Fremdstoff wie P in den p-Typ-Dünnschichttransistor-Bereich eindringt. Dies ermöglicht, daß die Menge des Fremdstoffes wie B verringert wird, die in den p-Typ-Dünnschichttransistor 30 implantiert werden soll, wodurch ein Vorteil durch Verwirklichen eines hohen Durchsatzes erzeugt wird.

Beispiel 12

Bei Beispiel 11 wird ein n-Typ-Dünnschichttransistor als Bildelement-Schalt-Dünnschichttransistor verwendet. Selbst wenn ein p-Typ-Dünnschichttransistor als Bildelement-Schalt-Dünnschichttransistor verwendet wird, können jedoch der p-Typ-Dünnschichttransistor der CMOS-Treiberschaltung und der Bildelement-Schalt-Dünnschichttransistor gleichzeitig mit einem LDD-Aufbau hergestellt werden. Dies ermöglicht auch, die Anzahl der erforderlichen Herstellungsschritte zu verringern und Dünnschichttransistoren der CMOS-Treiberschaltung zu schaffen, die eine hohe Versorgungsspannung und eine hohe Steuerfrequenz verwenden können.

Die Dünnschichttransistor-Anordnung gemäß diesem Beispiel kann gemäß dem bei Beispiel 11 beschriebenen Herstellungsverfahren abgesehen davon hergestellt werden, daß bei den drei Ionenimplantationsschritten der p-Typ-Fremdstoff anstelle des n-Typ-Fremdstoffs

implantiert wird, während der n-Typ-Fremdstoff anstelle des p-Typ-Fremdstoffs implantiert wird.

Mit dem vorliegenden Beispiel werden dieselben Wirkungen wie bei Beispiel 11 erreicht.

Beispiel 13

Bei den Beispielen 9 bis 11 wird der p-Typ-Fremdstoff wie B vertikal implantiert, damit Source-/Drain-Bereiche 37 des p-Dünnschichttransistors der CMOS-Treiberschaltung gebildet werden. Vor oder nach dieser Ionenimplantation kann die schräge Implantation durchgeführt werden, damit der p-Typ-Fremdstoff gemäß Fig. 9 schräg implantiert wird. Eine derartige Ionenimplantations-Technologie ermöglicht die Bildung einer überlappenden LDD-Anordnung unter der entsprechenden Gateelektrode. Daher kann die Drain-Haltespannung des p-Dünnschichttransistors 30 der CMOS-Treiberschaltung verbessert werden, wenn eine Spannung an deren Source- und Drain-Elektroden angelegt wird. Dementsprechend kann die Versorgungsspannung für die Treiberschaltung weiter erhöht werden, was zu einem Vorteil von beispielsweise einer verbesserten Ausgangsspannung der Inverter- bzw. Umkehr-Schaltung führt.

Beispiel 14

Bei den Beispielen 9 bis 11 wird der n-Typ-Fremdstoff wie P oder As vertikal implantiert, damit Source-/Drain-Bereiche des n-Typ-Dünnschichttransistors der CMOS-Treiberschaltung gebildet werden. Vor oder nach dieser Ionenimplantation kann die schräge Implantation eingesetzt werden, damit der p-Typ-Fremdstoff gemäß Fig. 10 schräg implantiert wird.

Eine derartige Ionenimplantations-Technologie ermöglicht die Bildung einer überlappenden LDD-Anordnung unter der entsprechenden Gateelektrode. Daher kann die Drain-Haltespannung des n-Typ-Dünnschichttransistors 20 der CMOS-Treiberschaltung verbessert werden, wenn eine Spannung an die Source- und Drain-Elektroden angelegt wird. Dementsprechend kann die Versorgungsspannung für die Treiberschaltung weiter erhöht werden, was zu einer verbesserten Ausgangsspannung beispielsweise der Inverter bzw. Umkehr-Schaltung führt.

Beispiel 15

Während bei den Beispielen 9 bis 14 keine Kanaldotierung eingesetzt wird, wird bei dem vorliegenden Beispiel der Kanal-Si-Film bei zumindest einem der n-Typ- und p-Typ-Dünnschichttransistor-Bereiche der CMOS-Treiberschaltung mit einem Fremdstoff derjenigen Leitfähigkeit ionenimplantiert, die entgegengesetzt zu der von deren Source-/Drain-Bereichen vor der Bildung der Gateelektrode ist. Dies ermöglicht, die Schwellspannung des Dünnschichttransistors einzustellen, wodurch die Ansprechigenschaften der CMOS-Treiber-Dünnschichttransistoren verbessert werden.

Wie vorstehend beschrieben macht die erfindungsgemäße Aktivmatrix-Flüssigkristallanzeige von einem Offset- bzw. Versatz-Aufbau oder einem LDD-Aufbau für einen der n-Typ und p-Typ-Dünnschichttransistoren der CMOS-Treiberschaltung Gebrauch. Dies ermöglicht, daß die CMOS-Treiberschaltung eine Stromquelle mit einer hohen Versorgungsspannung verwendet, daß die Ausgangsspannung der Treiberschaltung verbessert wird und daß der Betriebsbereich des Bildelement-

Schalt-Dünnschichttransistors erweitert wird. Auf diese Weise weist die erfindungsgemäße Aktivmatrix-Flüssigkristallanzeige eine hohe Leistungsfähigkeit auf.

Außerdem wendet das erfindungsgemäße Herstellungsverfahren der Aktivmatrix-Flüssigkristallanzeige den Offset- bzw. Versatz-Aufbau oder den LDD-Aufbau bei einem der Dünnschichttransistoren der CMOS-Treiberschaltung an, der dieselbe Leitfähigkeit wie der Bildelement-Schalt-Dünnschichttransistor aufweist, und stellt diese beiden Dünnschichttransistoren in einem gemeinsamen Herstellungsverfahren her. Dies ermöglicht es, die Anzahl der Photolithographie-Schritte um eins und die Anzahl der Ionenimplantations-Schritte um eins zu verringern; außerdem kann in einigen Ausgestaltungen der Erfindung die Anzahl der Ätzschritte um eins verringert werden. Auf diese Weise ermöglicht das erfindungsgemäße Verfahren, die Anzahl der erforderlichen Herstellungsschritte zu senken. Infolgedessen ermöglicht das erfindungsgemäße Herstellungsverfahren, die Herstellungskosten zu senken, den Durchsatz zu verbessern und daher eine kostengünstige Aktivmatrix-Flüssigkristallanzeige zu schaffen.

Aktivmatrix-Flüssigkristallanzeige, die als eine Einheit mit einer Treiberschaltung ausgebildet ist, die ein Paar von in gegenüberliegender Beziehung zueinander angeordneten Substraten und ein Flüssigkristallmaterial enthält, das zwischen dem Paar Substrate schichtenweise angeordnet ist, wobei das Paar Substrate

ein Dünnschichttransistor-Substrat, das zumindest ein isolierendes Substrat, eine Source-Verbindungsleitung und eine Gate-Verbindungsleitung, die in einem Matrix-Muster auf dem isolierenden Substrat ausgebildet sind, einen Dünnschichttransistor, der an jedem Bildelement-Abschnitt zur Verwendung als Schaltelement zum Anlegen einer Spannung an einen Abschnitt des Flüssigkristallmaterials vorgesehen ist, das an einer Stelle liegt, an der sich die Source-Verbindungsleitung und die Gate-Verbindungsleitung schneiden, eine an eine Drain-Elektrode des Dünnschichttransistors angeschlossene Bildelement-Elektrode zum Zuführen einer Spannung zu dem Flüssigkristallmaterial und eine CMOS-Treiberschaltung mit einem CMOS-Teil enthält, der Dünnschichttransistoren zum Zuführen eines elektrischen Signals zu dem Dünnschichttransistor des Bildelement-Abschnitts über die Source-Verbindungsleitung und die Gate-Verbindungsleitung aufweist, sowie

ein Gegen-Substrat enthält, das ein isolierendes Substrat und eine darauf ausgebildete Gegen-Elektrode enthält, wobei der an dem Bildelement-Abschnitt vorgesehene Dünnschichttransistor eine erste Leitfähigkeit und einen Offset bzw. Versatz- oder einen Aufbau mit lateraler Doppeldiffusion bzw. LDD-Aufbau aufweist, und wobei zumindest ein Dünnschichttransistor mit einer ersten Leitfähigkeit der Dünnschichttransistoren der CMOS-Treiberschaltung einen Offset- bzw. Versatz- oder einen LDD-Aufbau aufweist.

Patentansprüche

1. Aktivmatrix-Flüssigkristallanzeige, die als eine Einheit mit einer Treiberschaltung ausgebildet ist, mit einem Paar von in gegenüberliegender Beziehung zueinander angeordneten Substraten und einem Flüssigkristallmaterial, das zwischen dem Paar Substrate schichtenweise angeordnet ist, wobei das Paar Substrate

ein Dünnfilmtransistor-Substrat, das zumindest ein isolierendes Substrat, eine Source-Verbindungsleitung und eine Gate-Verbindungsleitung, die in einem Matrix-Muster auf dem isolierenden Substrat ausgebildet sind, einen Dünnfilmtransistor, der an jedem Bildelement-Abschnitt zur Verwendung als Schaltelement zum Anlegen einer Spannung an einen Abschnitt des Flüssigkristallmaterials vorgesehen ist, das an einer Stelle liegt, an der sich die Source-Verbindungsleitung und die Gate-Verbindungsleitung schneiden, eine an eine Drain-Elektrode des Dünnfilmtransistors angeschlossene Bildelement-Elektrode zum Zuführen einer Spannung zu dem Flüssigkristallmaterial und eine CMOS-Treiberschaltung mit einem CMOS-Teil enthält, der Dünnfilmtransistoren zum Zuführen eines elektrischen Signals zu dem Dünnfilmtransistor des Bildelement-Abschnitts über die Source-Verbindungsleitung und die Gate-Verbindungsleitung aufweist, sowie ein Gegen-Substrat umfaßt, das ein isolierendes Substrat und eine darauf ausgebildete Gegen-Elektrode enthält, wobei der an dem Bildelement-Abschnitt vorgesehene Dünnfilmtransistor eine erste Leitfähigkeit und einen Offset- bzw. Versatz oder einen Aufbau mit lateraler Doppeldiffusion bzw. LDD-Aufbau aufweist, und wobei zumindest ein Dünnfilmtransistor mit einer ersten Leitfähigkeit der Dünnfilmtransistoren der CMOS-Treiberschaltung einen Offset- bzw. Versatz oder einen LDD-Aufbau aufweist.

2. Verfahren zum Herstellen einer Aktivmatrix-Flüssigkristallanzeige, die als eine Einheit mit einer Treiberschaltung ausgebildet ist, wobei ein Flüssigkristallmaterial zwischen einem Dünnfilmtransistor-Substrat und einem Gegen-Substrat mit einer Gegen-Elektrode auf einem isolierenden Substrat schichtenweise angeordnet ist, wobei das Dünnfilmtransistors Substrat ein isolierendes Substrat, Dünnfilmtransistoren, die in einem Matrix-Muster auf dem isolierenden Substrat angeordnet sind und jeweils an einem einzelnen Bildelement-Abschnitt zur Verwendung als Schaltelement vorgesehen sind, und eine CMOS-Treiberschaltung mit einem CMOS-Teil zum Steuern des Dünnfilmtransistors jedes Bildelement-Abschnittes aufweist, wobei das Verfahren die Herstellung des Dünnfilmtransistors jedes Bildelement-Abschnittes und des CMOS-Teils aufweist, der einen Dünnfilmtransistor mit einer ersten Leitfähigkeit und einen Dünnfilmtransistor mit einer zweiten Leitfähigkeit aufweist, wobei die Herstellung zumindest folgende Schritte aufweist:

- (a) ein aufeinanderfolgendes Bilden eines Kanal-Halbleiterfilms, eines Gateisolationfilms und eines Gateelektroden-Dünnfilms auf dem isolierenden Substrat in dessen Bereichen, die für den Dünnfilmtransistor jedes Bildelement-Abschnittes, für den Dünnfilmtransistor mit der ersten Leitfähigkeit und für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen sind, gefolgt von dem Bilden eines Photoresists auf dem Gateelektroden-Dünnfilm zum feinen Strukturieren des Gateelektroden-Dünnfilms,
- (b) ein Ätzen des Gateelektroden-Dünnfilms mit Verwendung des Photoresists als Maske zum Bilden von Gateelektroden, die jeweils

schmäler als das Photoresist sind,

(c) ein Ionenimplantieren eines Fremdstoffs bzw. einer Verunreinigung mit einer ersten Leitfähigkeit mit einer hohen Konzentration in Source-/Drain-Bereiche, die auf entgegengesetzten Seiten jeder der Gateelektroden liegen, mit Verwendung des Photoresists als Maske zum Erzeugen von drei Arten von Dünnfilmtransistoren mit der ersten Leitfähigkeit und einem Offset- bzw. Versatz-Aufbau und ein anschließendes Entfernen des Photoresists, und

(d) ein Überziehen zumindest des Dünnfilmtransistors jedes Bildelement-Abschnitts und des Dünnfilmtransistors, der als Dünnfilmtransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung dient, mit einem Photoresist, und ein Ionenimplantieren eines Fremdstoffs bzw. einer Verunreinigung mit einer zweiten Leitfähigkeit in den Dünnfilmtransistor, der als Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung dient, mit einer Konzentration, die höher als die Konzentration des Fremdstoffs mit der ersten Leitfähigkeit hinsichtlich einer effektiven Konzentration ist, die in Anbetracht der Aktivierungsausbeute jedes Fremdstoffs zu dem Zeitpunkt des Abschlusses von dessen Aktivierung bestimmt wird, damit der Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung gebildet wird.

3. Verfahren nach Anspruch 1, das anstelle des Schrittes (d) folgende Schritte aufweist:

(e) ein Ionenimplantieren des Fremdstoffs mit der ersten Leitfähigkeit in die drei Arten von Dünnfilmtransistoren mit einer geringen Konzentration, um dadurch alle drei Arten von Dünnfilmtransistoren einen LDD-Aufbau mit der ersten Leitfähigkeit aufweisen zu lassen, und

(f) ein Überziehen zumindest der Bereiche, die für den Dünnfilmtransistor jedes Bildelement-Abschnitts und für den Dünnfilmtransistor vorgesehen sind, der als Dünnfilmtransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung dient, mit einem Photoresist, und ein Ionenimplantieren des Fremdstoffs mit der zweiten Leitfähigkeit in den Dünnfilmtransistor, der als Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung dient, mit einer Konzentration, die höher als die Konzentration des Fremdstoffs mit der ersten Leitfähigkeit hinsichtlich einer effektiven Konzentration ist, die in Anbetracht der Aktivierungsausbeute jedes Fremdstoffs zu dem Zeitpunkt des Abschlusses von dessen Aktivierung bestimmt wird, damit der Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung gebildet wird.

4. Verfahren zum Herstellen einer Aktivmatrix-Flüssigkristallanzeige, die als eine Einheit mit einer Treiberschaltung ausgebildet ist, wobei ein Flüssigkristallmaterial zwischen einem Dünnfilmtransistor-Substrat und einem Gegen-Substrat mit einer Gegen-Elektrode auf einem isolierenden Substrat schichtenweise angeordnet ist, wobei das Dünnfilmtransistor-Substrat ein isolierendes Substrat, Dünnfilmtransistoren, die in einem Matrix-Muster

auf dem isolierenden Substrat angeordnet sind und jeweils an einem einzelnen Bildelement-Abschnitt zur Verwendung als Schaltelement vorgesehen sind, und eine CMOS-Treiberschaltung mit einem CMOS-Teil zum Steuern des Dünnfilmtransistors jedes Bildelement-Abschnittes aufweist, wobei das Verfahren die Herstellung des Dünnfilmtransistors jedes Bildelement-Abschnittes, eines Dünnfilmtransistors mit einer ersten Leitfähigkeit und eines Dünnfilmtransistors mit einer zweiten Leitfähigkeit der CMOS-Treiberschaltung aufweist, wobei die Herstellung zumindest folgende Schritte aufweist:

- (g) ein aufeinanderfolgendes Bilden eines Halbleiterfilms und eines Gateisolationsfilms auf einem isolierenden Substrat, gefolgt von dem Bilden eines Gateelektroden-Dünnfilms auf der gesamten Substratoberfläche,
- (h) ein Maskieren eines Bereichs, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, und von Bereichen, die für entsprechende Gateelektroden des Dünnfilmtransistors mit der ersten Leitfähigkeit der CMOS-Treiberschaltung und für den Dünnfilmtransistor mit der ersten Leitfähigkeit jedes Bildelement-Abschnittes vorgesehen sind, mit einem Photoresist, gefolgt von einem Strukturieren des Gateelektroden-Dünnfilms durch isotropes Ätzen, wodurch die Gateelektroden gebildet werden, von denen jede schmaler als das Photoresist ist, das diese maskiert,
- (i) ein Ionenimplantieren eines Fremdstoffes bzw. einer Verunreinigung mit einer ersten Leitfähigkeit in den Halbleiterfilm in Bereiche, die für den Dünnfilmtransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung und für den Dünnfilmtransistor mit der ersten Leitfähigkeit jedes Bildelement-Abschnittes vorgesehen sind, mit Verwendung des Photoresists als Maske zum Bilden von Source-/Drain-Bereichen in jedem dieser Bereiche, wobei die Source-/Drain-Bereiche einen Offset- bzw. Versatz-Kanal dazwischen definieren,
- (j) ein Entfernen des Photoresists,
- (k) ein Maskieren der Bereiche, die für den Dünnfilmtransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung und für den Dünnfilmtransistor mit der ersten Leitfähigkeit jedes Bildelement-Abschnittes vorgesehen sind, mit einem Photoresist und ein Strukturieren des Gateelektroden-Dünnfilms in dem Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, um die Gateelektrode des Dünnfilmtransistors mit der zweiten Leitfähigkeit zu bilden, und
- (l) ein Ionenimplantieren eines Fremdstoffes bzw. einer Verunreinigung mit einer zweiten Leitfähigkeit in den Halbleiterfilm in dem Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, mit Verwendung des Photoresists als Maske zum Bilden von Source-/Drain-Bereichen des Dünnfilmtransistors mit der zweiten Leitfähigkeit.

5. Verfahren nach Anspruch 4, außerdem mit, zwischen den Schritten (j) und (k), dem Schritt (m) des Ionenimplantierens des Fremdstoffes mit der er-

sten Leitfähigkeit in die Bereiche, die für den Dünnfilmtransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung und für den Dünnfilmtransistor mit der ersten Leitfähigkeit jedes Bildelement-Abschnittes vorgesehen sind, mit Verwendung der Gateelektroden als Maske mit einer Konzentration, die geringer als die Konzentration des Fremdstoffes mit der ersten Leitfähigkeit ist, die sich aus der vorangegangenen Ionenimplantation ergibt.

6. Verfahren nach Anspruch 2, wobei der Kanal-Halbleiterfilm in zumindest einem der Bereiche, die für den Dünnfilmtransistor mit der ersten Leitfähigkeit und für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen sind, mit einem Fremdstoffelement mit derjenigen Leitfähigkeit leicht dotiert ist, die entgegengesetzt zu der Leitfähigkeit der Source-/Drain-Bereiche des entsprechenden Transistors ist.

7. Verfahren nach Anspruch 3, wobei der Kanal-Halbleiterfilm in zumindest einem der Bereiche, die für den Dünnfilmtransistor mit der ersten Leitfähigkeit und für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen sind, mit einem Fremdstoffelement mit derjenigen Leitfähigkeit leicht dotiert ist, die entgegengesetzt zu der Leitfähigkeit der Source-/Drain-Bereiche des entsprechenden Transistors ist.

8. Verfahren nach Anspruch 4, wobei der Kanal-Halbleiterfilm in zumindest einem der Bereiche, die für den Dünnfilmtransistor mit der ersten Leitfähigkeit und für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen sind, mit einem Fremdstoffelement mit derjenigen Leitfähigkeit leicht dotiert ist, die entgegengesetzt zu der Leitfähigkeit der Source-/Drain-Bereiche des entsprechenden Transistors ist.

9. Verfahren nach Anspruch 2, wobei der Kanal-Halbleiterfilm von zumindest sowohl dem Dünnfilmtransistor jedes Bildelement-Abschnittes als auch dem Dünnfilmtransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung leicht mit dem Fremdstoff mit der zweiten Leitfähigkeit dotiert ist.

10. Verfahren nach Anspruch 3, wobei der Kanal-Halbleiterfilm von zumindest sowohl dem Dünnfilmtransistor jedes Bildelement-Abschnittes als auch dem Dünnfilmtransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung leicht mit dem Fremdstoff mit der zweiten Leitfähigkeit dotiert ist.

11. Verfahren nach Anspruch 4, wobei der Kanal-Halbleiterfilm von zumindest sowohl dem Dünnfilmtransistor jedes Bildelement-Abschnittes als auch dem Dünnfilmtransistor mit der ersten Leitfähigkeit der CMOS-Treiberschaltung leicht mit dem Fremdstoff mit der zweiten Leitfähigkeit dotiert ist.

12. Verfahren nach Anspruch 2, wobei die Ionenimplantation des Fremdstoffes mit der zweiten Leitfähigkeit in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, bei dem Schritt (d) durch ein schräges Implantationsverfahren durchgeführt wird, das Fremdstoffionen mit der zweiten Leitfähigkeit in einem Einfallswinkel von 20° oder mehr implantiert.

13. Verfahren nach Anspruch 6, wobei die Ionenimplantation des Fremdstoffes mit der zweiten Leitfähigkeit in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Trei-

berschaltung vorgesehen ist, bei dem Schritt (d) durch ein schräges Implantationsverfahren durchgeführt wird, das Fremdstoffionen mit der zweiten Leitfähigkeit in einem Einfallswinkel von 20° oder mehr implantiert.

14. Verfahren nach Anspruch 9, wobei die Ionenimplantation des Fremdstoffes mit der zweiten Leitfähigkeit in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, bei dem Schritt (d) durch ein schräges Implantationsverfahren durchgeführt wird, das Fremdstoffionen mit der zweiten Leitfähigkeit in einem Einfallswinkel von 20° oder mehr implantiert.

15. Verfahren nach Anspruch 3, wobei die Ionenimplantation des Fremdstoffes mit der zweiten Leitfähigkeit in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, bei dem Schritt (f) durch ein schräges Implantationsverfahren durchgeführt wird, das Fremdstoffionen mit der zweiten Leitfähigkeit in einem Einfallswinkel von 20° oder mehr implantiert.

16. Verfahren nach Anspruch 7, wobei die Ionenimplantation des Fremdstoffes mit der zweiten Leitfähigkeit in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, bei dem Schritt (f) durch ein schräges Implantationsverfahren durchgeführt wird, das Fremdstoffionen mit der zweiten Leitfähigkeit in einem Einfallswinkel von 20° oder mehr implantiert.

17. Verfahren nach Anspruch 10, wobei die Ionenimplantation des Fremdstoffes mit der zweiten Leitfähigkeit in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, bei dem Schritt (f) durch ein schräges Implantationsverfahren durchgeführt wird, das Fremdstoffionen mit der zweiten Leitfähigkeit in einem Einfallswinkel von 20° oder mehr implantiert.

18. Verfahren nach Anspruch 4, wobei die Ionenimplantation des Fremdstoffes mit der zweiten Leitfähigkeit in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, bei dem Schritt (k) durch ein schräges Implantationsverfahren durchgeführt wird, das Fremdstoffionen mit der zweiten Leitfähigkeit in einem Einfallswinkel von 20° oder mehr implantiert.

19. Verfahren nach Anspruch 2, mit, wenn der Gateelektroden-Dünnfilm aus einem Polysiliziumfilm gebildet wird, der vorher mit dem Fremdstoff mit der ersten Leitfähigkeit dotiert ist, dem Schritt des zusätzlichen Ionenimplantierens des Fremdstoffes mit der ersten Leitfähigkeit in den Gateelektroden-Dünnfilm in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, nach der Bildung des Gateelektroden-Dünnfilms derart, daß folgende Beziehung erfüllt ist:

(Konzentration des Fremdstoffes mit der ersten Leitfähigkeit, der vorher in der Gateelektrode des Dünnfilmtransistors mit der zweiten Leitfähigkeit enthalten ist, + Konzentration des Fremdstoffes mit der ersten Leitfähigkeit, der bei dieser zusätzlichen Ionenimplantation zu implantieren ist) > (Konzentration des Fremdstoffes mit der zweiten

Leitfähigkeit, der bei dem Schritt (d) zu implantieren ist).

20. Verfahren nach Anspruch 3, mit, wenn der Gateelektroden-Dünnfilm aus einem Polysiliziumfilm gebildet wird, der vorher mit dem Fremdstoff mit der ersten Leitfähigkeit dotiert ist, dem Schritt des zusätzlichen Ionenimplantierens des Fremdstoffes mit der ersten Leitfähigkeit in den Gateelektroden-Dünnfilm in den Bereich, der für den Dünnfilmtransistor mit der zweiten Leitfähigkeit der CMOS-Treiberschaltung vorgesehen ist, nach der Bildung des Gateelektroden-Dünnfilms derart, daß folgende Beziehung erfüllt ist:

(Konzentration des Fremdstoffes mit der ersten Leitfähigkeit, der vorher in der Gateelektrode des Dünnfilmtransistors mit der zweiten Leitfähigkeit enthalten ist, + Konzentration des Fremdstoffes mit der ersten Leitfähigkeit, der bei dieser zusätzlichen Ionenimplantation zu implantieren ist) > (Konzentration des Fremdstoffes mit der zweiten Leitfähigkeit, der bei dem Schritt (f) zu implantieren ist).

Hierzu 16 Seite(n) Zeichnungen

- Leerseite -

THIS PAGE BLANK (USPTO)

FIG. 1(a)

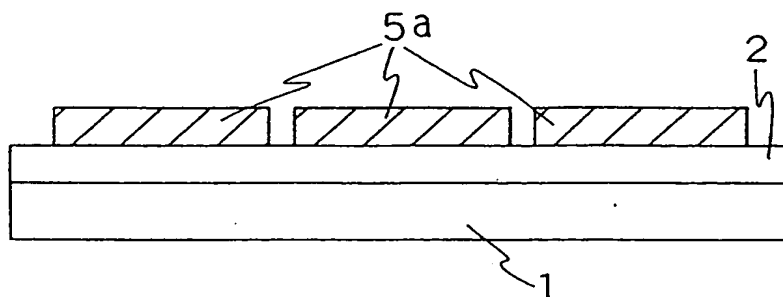


FIG 1(b)

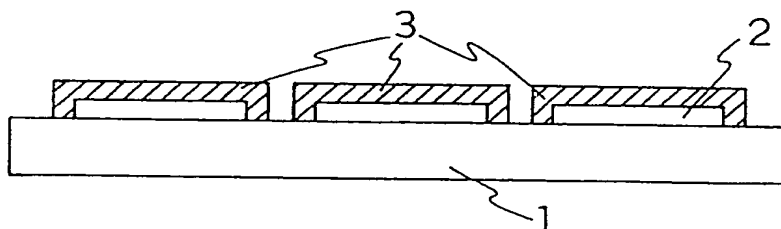


FIG. 1(c)

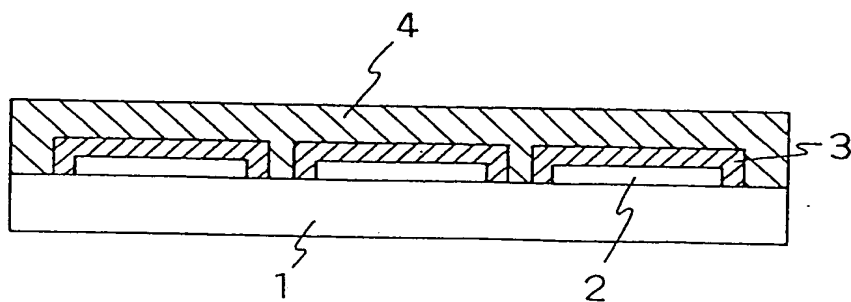


FIG. 1(d)

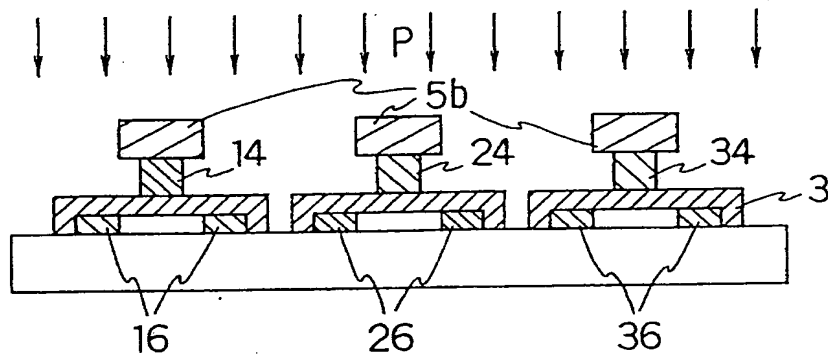


FIG. 1(e)

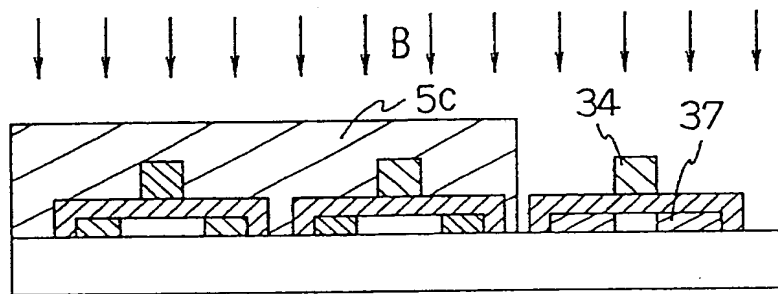


FIG. 1(f)

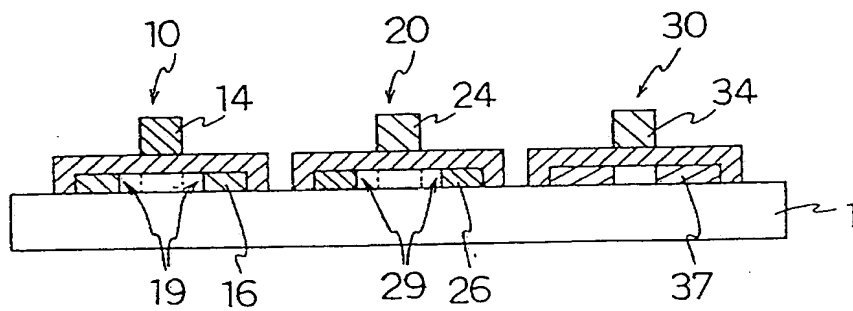


FIG. 2

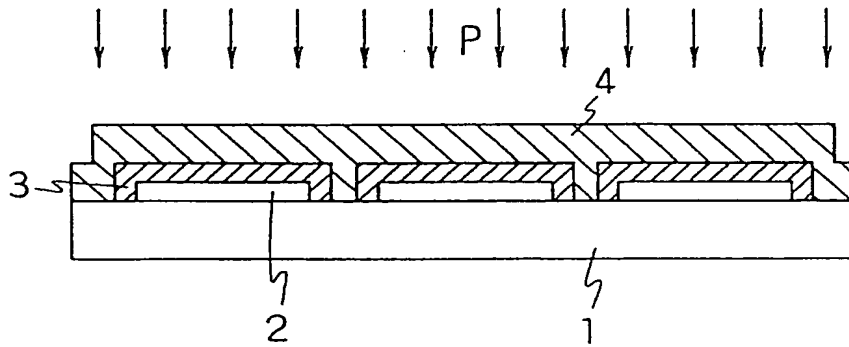


FIG. 3(a)

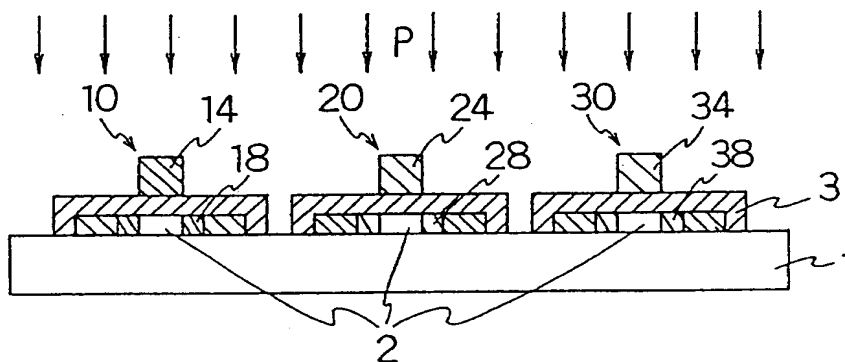


FIG. 3(b)

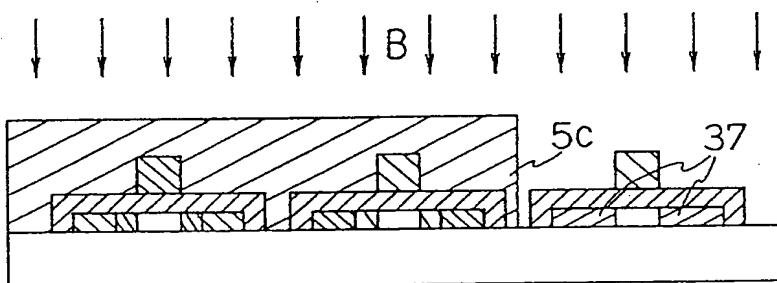


FIG. 3(c)

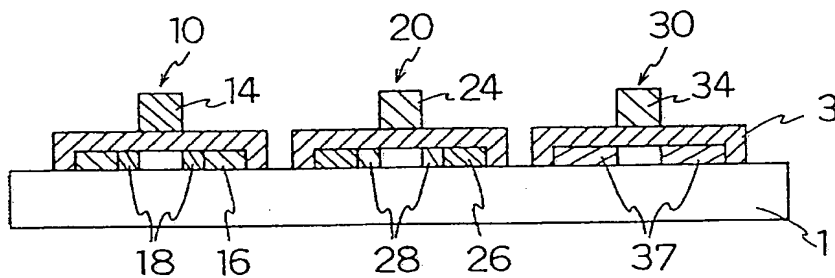


FIG. 4(a)

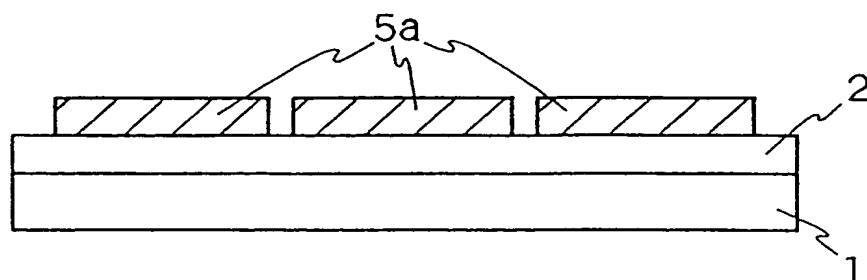


FIG. 4(b)

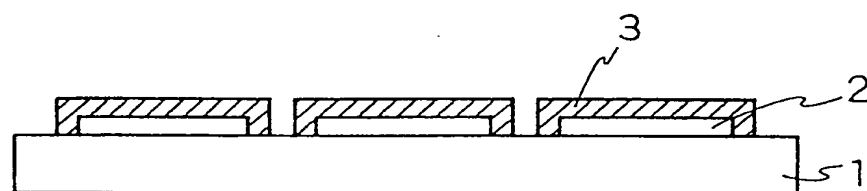


FIG. 4(c)

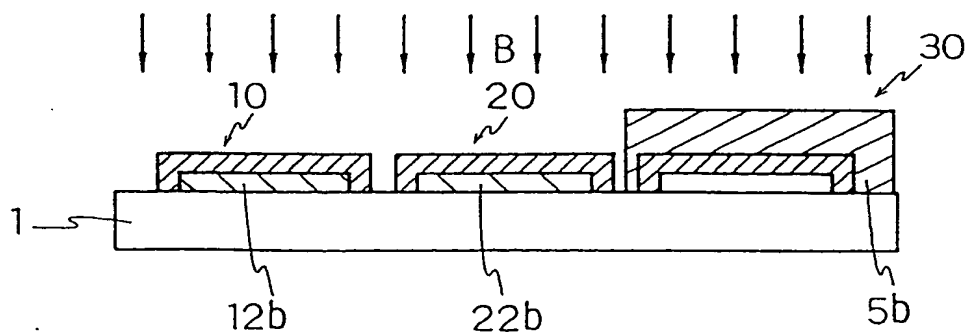


FIG. 4(d)

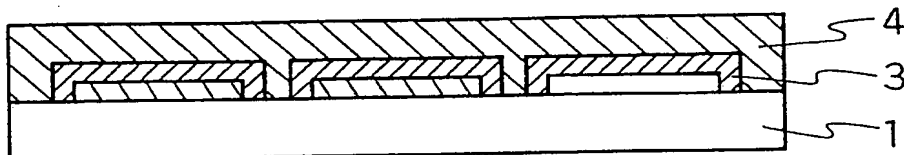


FIG. 4(e)

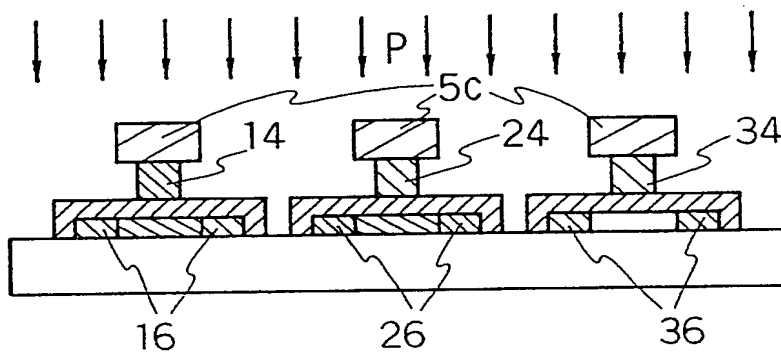


FIG. 4(f)

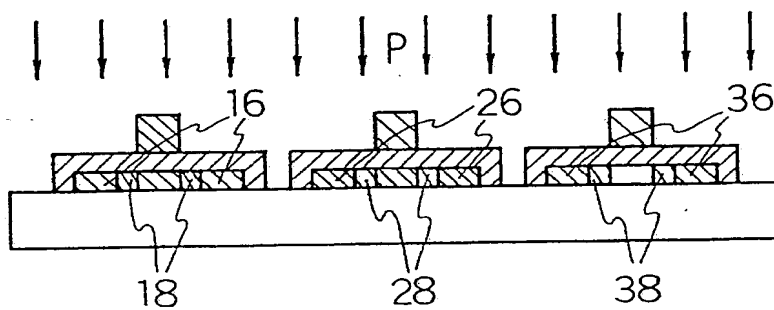


FIG. 4(g)

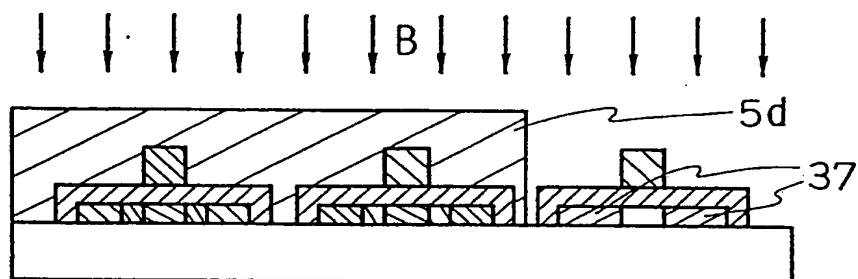


FIG. 4(h)

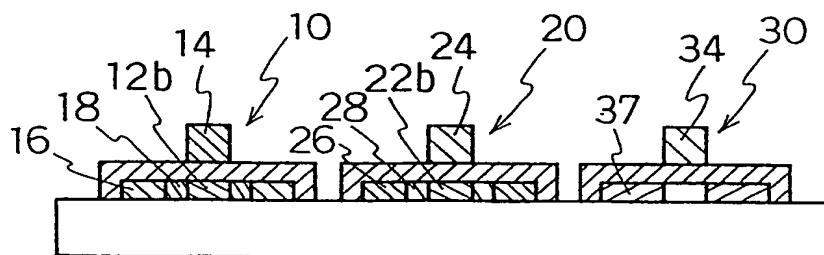


FIG. 5(a)

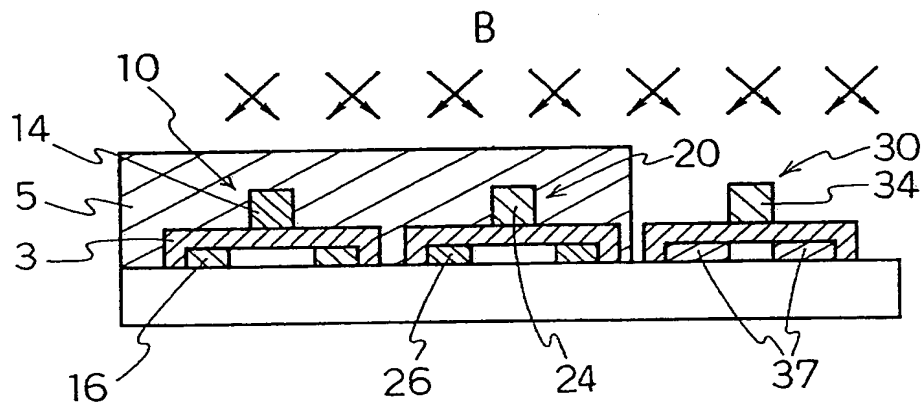


FIG. 5(b)

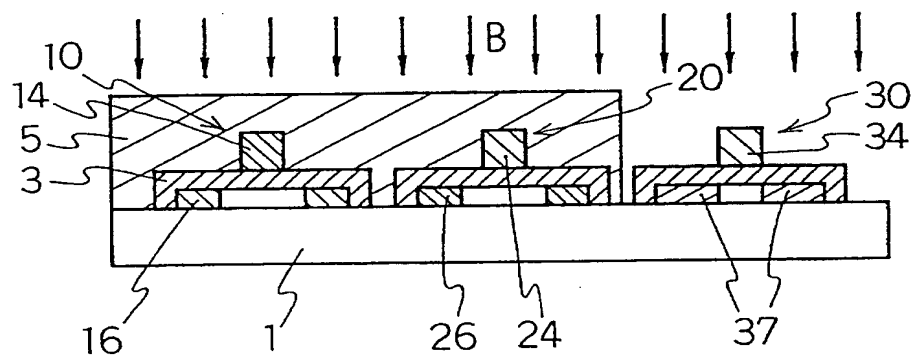


FIG. 6

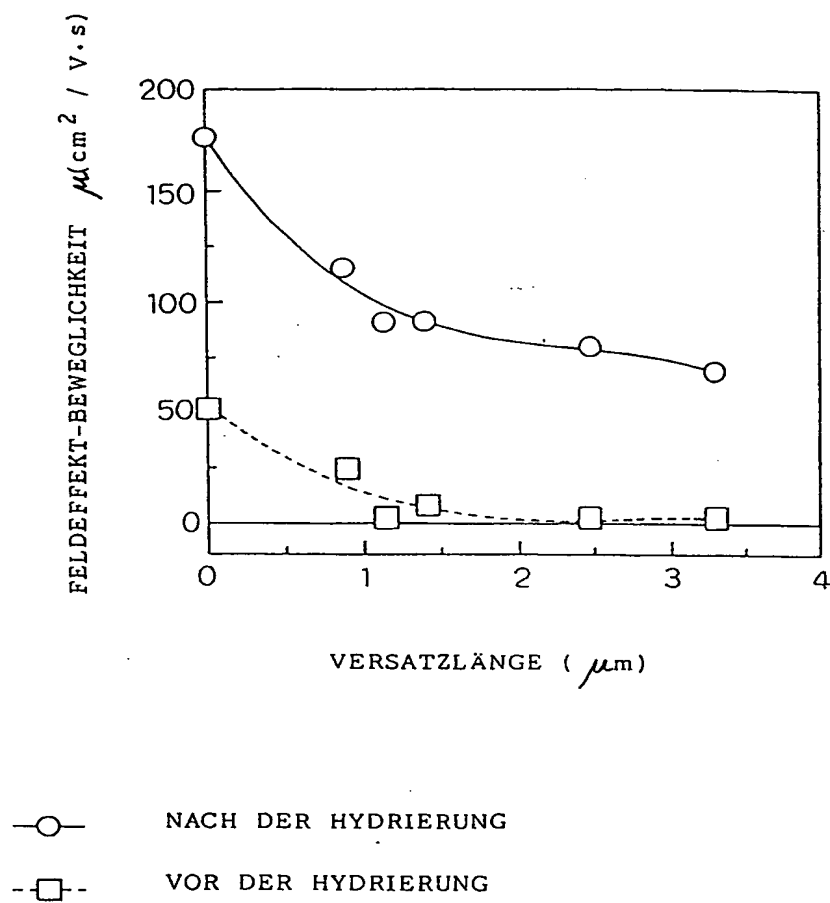


FIG. 7(a)

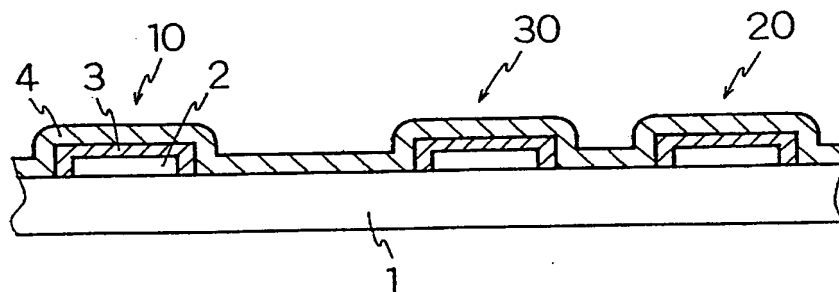


FIG. 7(b)

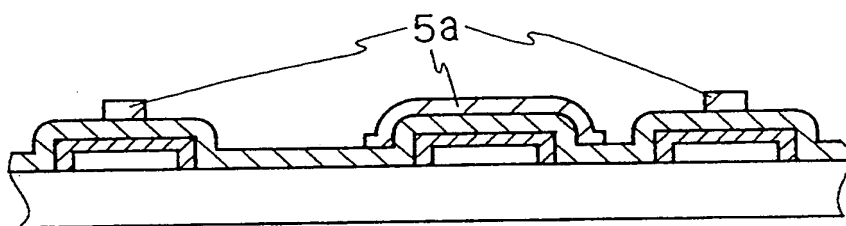


FIG. 7(c)

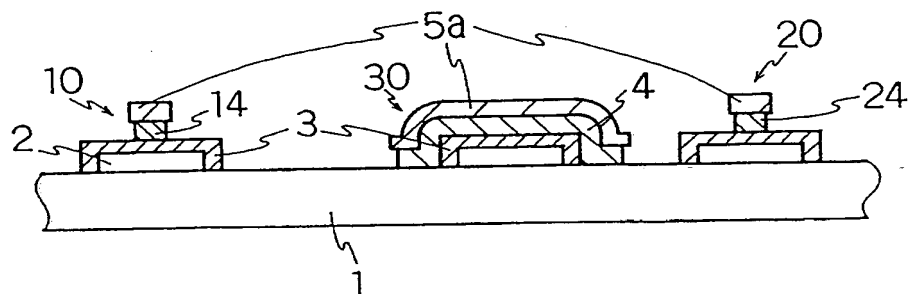


FIG. 7(d)

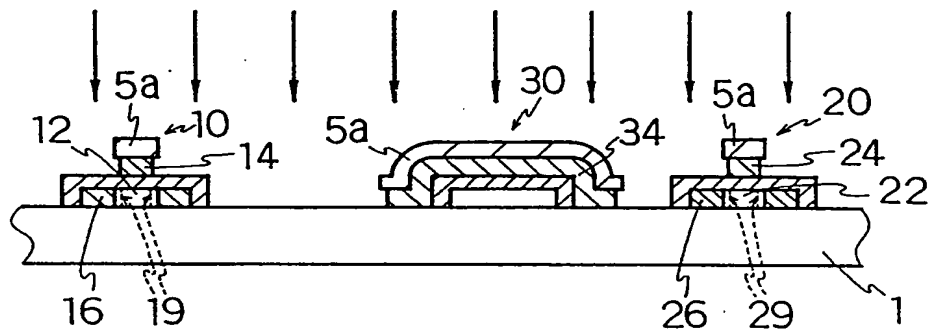


FIG. 7(e)

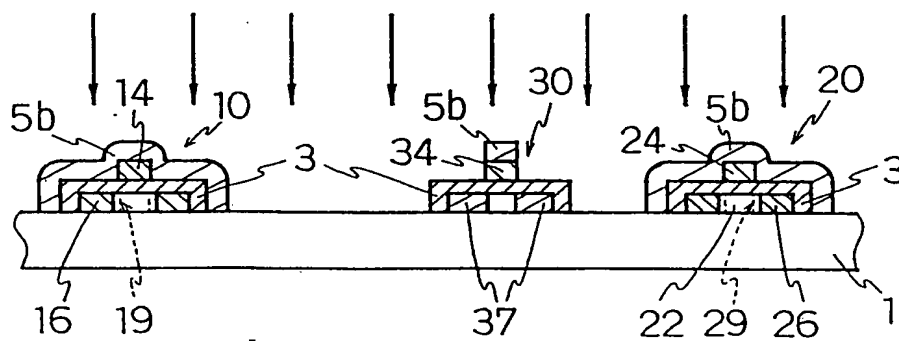


FIG. 8(a)

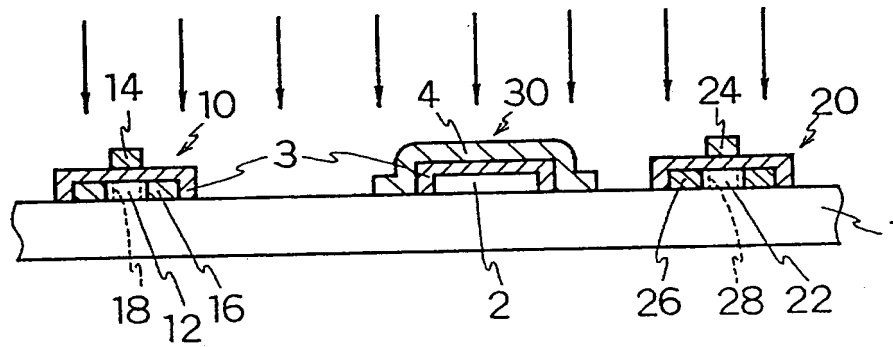


FIG. 8(b)

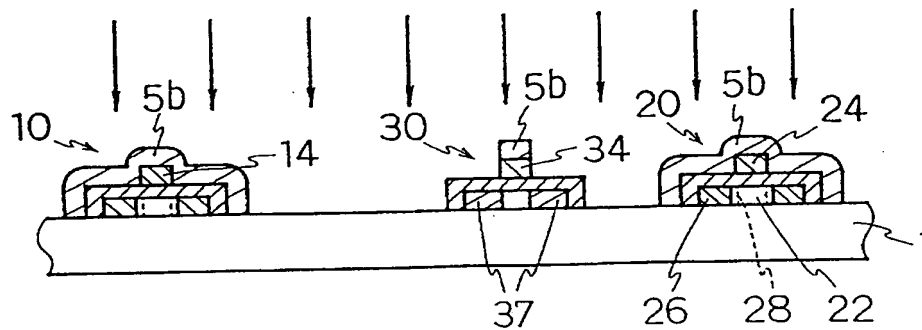


FIG. 9

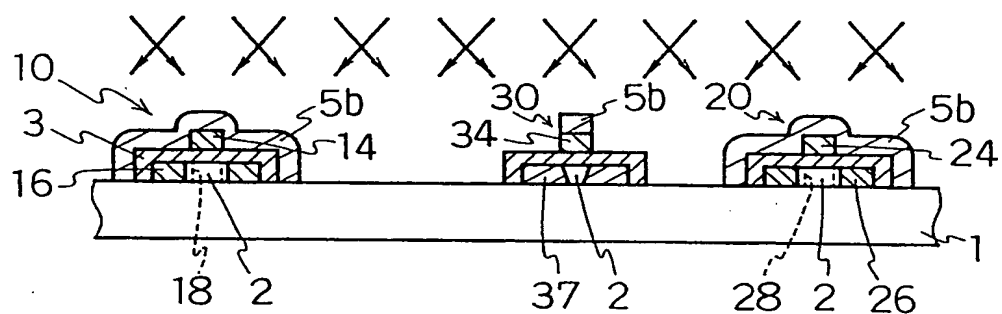


FIG. 10

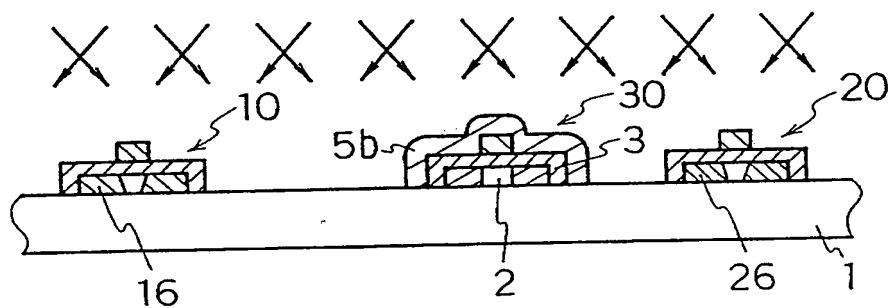


FIG.11(a)

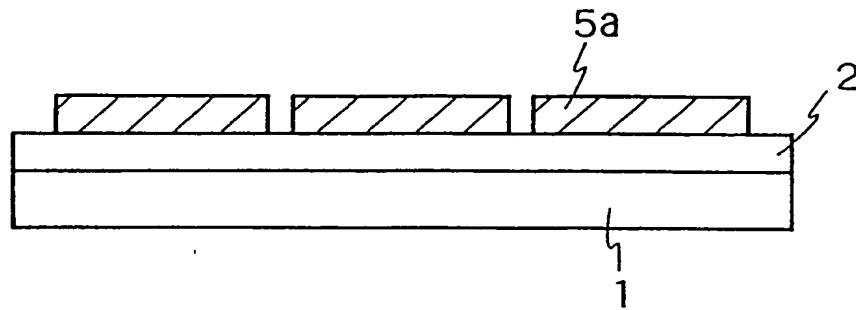


FIG.11(b)

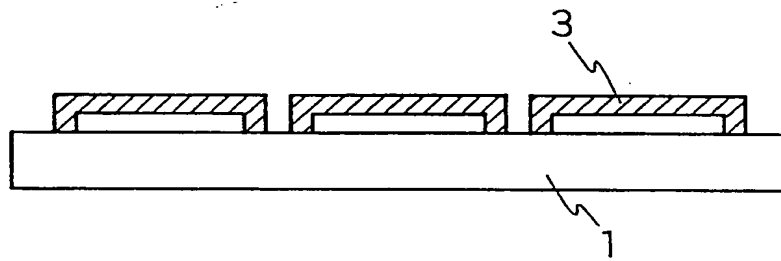


FIG.11(c)

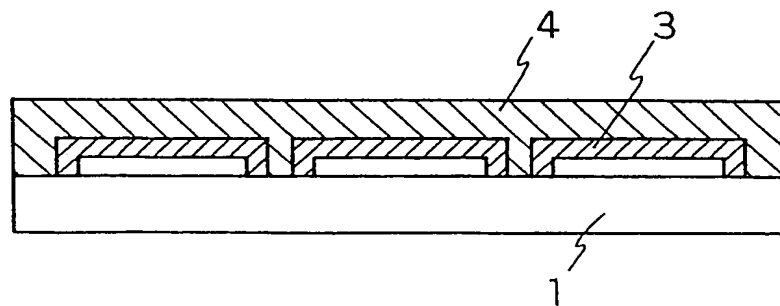


FIG. 11(d)

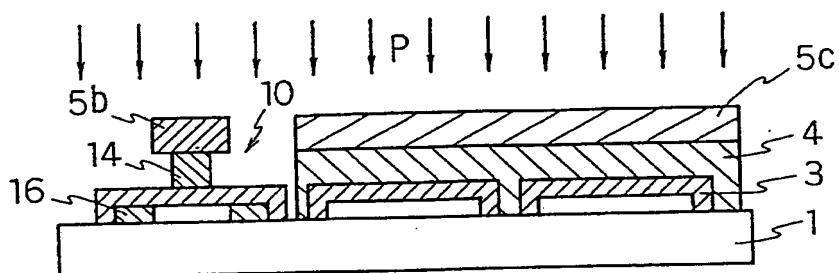


FIG. 11 (e)

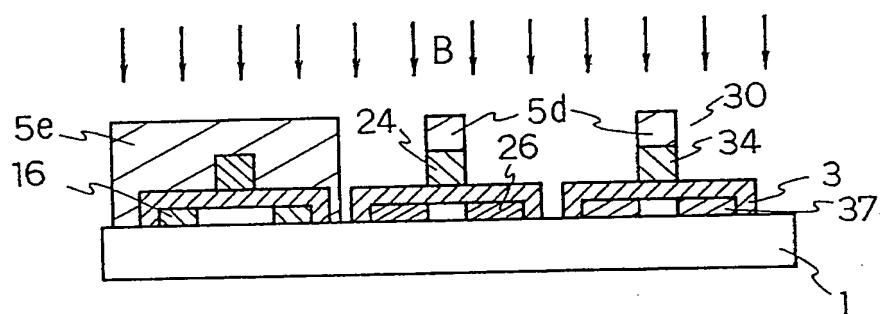


FIG. 11(f)

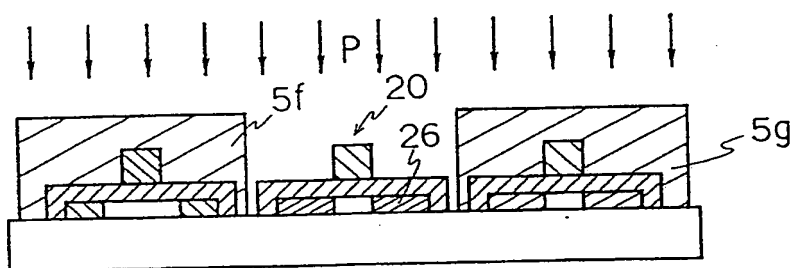


FIG. 17 (9)

